

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of )  
Shintaro SHIMOGORI et al. ) Group Art Unit: 2151  
Application No.: 10/053,737 ) Examiner: Unassigned  
Filed: January 24, 2002 )  
For: DATA PROCESSING SYSTEM, DATA )  
PROCESSING APPARATUS AND )  
CONTROL METHOD FOR A DATA )  
PROCESSING APPARATUS )

+  
5

**CLAIM FOR CONVENTION PRIORITY**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign applications in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-24513

Filed: 31 January 2001

Japanese Patent Application No. 2001-294546

Filed: 26 September 2001

In support of this claim, enclosed are certified copies of said prior foreign applications. Said prior foreign applications were referred to in the oath or declaration. Acknowledgment of receipt of the certified copies is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: 3-14-02

By: William C. Rowland  
William C. Rowland  
Registration No. 30,888

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月26日

出 願 番 号

Application Number:

特願2001-294546

[ ST.10/C ]:

[ JP2001-294546 ]

出 願 人

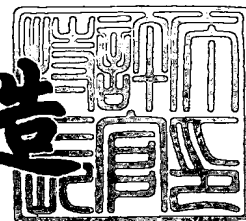
Applicant(s):

パシフィック・デザイン株式会社

2002年 1月18日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3117390

【書類名】 特許願

【整理番号】 010243P118

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/20

【発明者】

【住所又は居所】 東京都新宿区西新宿 6 丁目 1 2 番 1 号 パシフィック・  
デザイン株式会社内

【氏名】 下郡 慎太郎

【発明者】

【住所又は居所】 東京都新宿区西新宿 6 丁目 1 2 番 1 号 パシフィック・  
デザイン株式会社内

【氏名】 鎌野 昇一

【発明者】

【住所又は居所】 東京都新宿区西新宿 6 丁目 1 2 番 1 号 パシフィック・  
デザイン株式会社内

【氏名】 北島 利明

【特許出願人】

【識別番号】 598149242

【氏名又は名称】 パシフィック・デザイン株式会社

【代理人】

【識別番号】 100102934

【弁理士】

【氏名又は名称】 今井 彰

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 24513

【出願日】 平成13年 1月31日

【手数料の表示】

【予納台帳番号】 050728

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9816101

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理システム、データ処理装置およびその制御方法

【特許請求の範囲】

【請求項 1】 複数のデータ処理装置を有するデータ処理システムであって、2 以上の前記データ処理装置は、専用命令により実行される特定のデータ処理用のデータパス部を備えた少なくとも 1 つの専用データ処理ユニットと、汎用命令により汎用処理を実行可能な汎用データ処理ユニットと、前記専用命令および汎用命令を備えたプログラムに基づき、前記専用データ処理ユニットおよび汎用データ処理ユニットに命令を発行する命令発行ユニットとを有する第 1 のタイプのデータ処理装置であり、

少なくとも 1 つの前記第 1 のタイプのデータ処理装置の汎用データ処理ユニットは、他の前記第 1 のタイプのデータ処理装置の前記汎用データ処理ユニットとデータを交換可能な通信手段を備えているデータ処理システム。

【請求項 2】 請求項 1 において、少なくとも 1 つの前記第 1 のタイプのデータ処理装置の少なくとも 1 つの前記専用データ処理ユニットは、第 2 のタイプの前記データ処理装置とデータを交換する機能を備えているデータ処理システム。

【請求項 3】 請求項 1 において、前記第 1 のタイプのデータ処理装置は、前記プログラムを記憶するコードメモリと、前記汎用命令によりデータを入力または出力可能なデータメモリとを備えており、

前記通信手段は、前記汎用命令に基づき入力または出力するデータの入力アドレスまたは出力アドレスが予め設定されたアドレスのときに、他の前記第 1 のタイプのデータ処理装置に含まれた前記データメモリに対してデータを入力または出力するようにデータを交換するデータ処理システム。

【請求項 4】 請求項 3 において、前記通信手段は、前記出力アドレスが前記予め設定されたアドレスのときに、他の前記第 1 のタイプのデータ処理装置へデータを送信する手段を備えているデータ処理システム。

【請求項 5】 請求項 3 において、前記通信手段は、前記入力アドレスが前記予め設定されたアドレスのときに、他の前記第 1 のタイプのデータ処理装置か

らデータを受信する手段を備えているデータ処理システム。

【請求項 6】 請求項 3 において、前記第 1 のタイプのデータ処理装置が親のデータ処理装置となり、その親のデータ処理装置と通信する他の前記第 1 のタイプのデータ処理装置が子のデータ処理装置となる構成であって、

前記子のデータ処理装置の通信手段は、前記出力アドレスが前記予め設定されたアドレスのときに、前記親のデータ処理装置へデータを送信する手段と、前記入力アドレスが前記予め設定されたアドレスのときに、前記親のデータ処理装置からデータを受信する手段とを備えているデータ処理システム。

【請求項 7】 請求項 3 において、前記第 1 のタイプのデータ処理装置が親のデータ処理装置となり、その親のデータ処理装置と通信する他の前記第 1 のタイプのデータ処理装置が子のデータ処理装置となる構成であって、

前記親のデータ処理装置の通信手段は、前記出力アドレスが前記予め設定されたアドレスのときに、前記子のデータ処理装置へデータを送信する手段と、前記入力アドレスが前記予め設定されたアドレスのときに、前記子のデータ処理装置からデータを受信する手段とを備えているデータ処理システム。

【請求項 8】 請求項 3 において、前記通信手段は、他の前記第 1 のタイプのデータ処理装置からデータを受信すると前記データメモリの所定のアドレスにデータを記憶する手段を備えているデータ処理システム。

【請求項 9】 請求項 8 において、前記通信手段は、前記データを記憶する手段がデータを記憶する前記データメモリの受信専用領域が前記汎用データ処理ユニットにより読み出されているときは、前記データを記憶する手段の処理を延期し、前記データを記憶する手段の処理中は、前記汎用データ処理ユニットが前記受信専用領域からデータを読み出す処理を延期する調停手段を備えているデータ処理システム。

【請求項 10】 請求項 3 において、前記通信手段は、他の前記第 1 のタイプのデータ処理装置からデータを要求されると前記データメモリの所定のアドレスからデータを提供する手段を備えているデータ処理システム。

【請求項 11】 請求項 10 において、前記通信手段は、前記データを提供する手段がデータを取得する前記データメモリの送信専用領域が前記汎用データ

処理ユニットにより書き込まれているときは、前記データを提供する手段の処理を延期し、前記データを提供する手段の処理中は、前記汎用データ処理ユニットが前記送信専用領域にデータを書き込む処理を延期する調停手段を備えているデータ処理システム。

【請求項 1 2】 請求項 1 において、複数の前記第 1 のタイプのデータ処理装置の前記専用データ処理ユニットを含む、単一のデータの流を処理するデータ処理システムが形成されているデータ処理システム。

【請求項 1 3】 請求項 1 において、複数の前記第 1 のタイプのデータ処理装置の前記専用データ処理ユニットを含む、データの流を処理する複数のデータ処理システムが形成されているデータ処理システム。

【請求項 1 4】 専用命令により実行される特定のデータ処理用のデータパス部を備えた少なくとも 1 つの専用データ処理ユニットと、

汎用命令により汎用処理を実行可能な汎用データ処理ユニットと、

前記専用命令および汎用命令を備えたプログラムに基づき、前記専用データ処理ユニットおよび汎用データ処理ユニットに命令を発行する命令発行ユニットとを有するデータ処理装置であって、

前記汎用データ処理ユニットは、他の前記データ処理装置の前記汎用データ処理ユニットとデータを交換可能な通信手段を備えているデータ処理装置。

【請求項 1 5】 請求項 1 4 において、前記プログラムを記憶するコードメモリと、前記汎用命令によりデータを入力または出力可能なデータメモリとを有し、

前記通信手段は、前記汎用命令に基づき入力または出力するデータの入力アドレスまたは出力アドレスが予め設定されたアドレスのときに、他の前記データ処理装置との間でデータを交換するデータ処理装置。

【請求項 1 6】 請求項 1 5 において、前記通信手段は、前記出力アドレスが前記予め設定されたアドレスのときに、他の前記データ処理装置へデータを送信する手段を備えているデータ処理装置。

【請求項 1 7】 請求項 1 5 において、前記通信手段は、前記入力アドレスが前記予め設定されたアドレスのときに、他の前記データ処理装置からデータを

受信する手段を備えているデータ処理装置。

【請求項 1 8】 請求項 1 5 において、前記通信手段は、他の前記データ処理装置からデータを受信すると前記データメモリの所定のアドレスにデータを記憶する手段を備えているデータ処理装置。

【請求項 1 9】 請求項 1 8 において、前記通信手段は、前記データを記憶する手段がデータを記憶する前記データメモリの受信専用領域が前記汎用データ処理ユニットにより読み出されているときは、前記データを記憶する手段の処理を延期し、前記データを記憶する手段の処理中は、前記汎用データ処理ユニットが前記受信専用領域からデータを読み出す処理を延期する調停手段を備えているデータ処理装置。

【請求項 2 0】 請求項 1 5 において、前記通信手段は、他の前記データ処理装置からデータを要求されると前記データメモリの所定のアドレスからデータを提供する手段を備えているデータ処理装置。

【請求項 2 1】 請求項 2 0 において、前記通信手段は、前記データを提供する手段がデータを取得する前記データメモリの送信専用領域が前記汎用データ処理ユニットにより書き込まれているときは、前記データを提供する手段の処理を延期し、前記データを提供する手段の処理中は、前記汎用データ処理ユニットが前記送信専用領域にデータを書き込む処理を延期する調停手段を備えているデータ処理装置。

【請求項 2 2】 専用命令により実行される特定のデータ処理用のデータパス部を備えた少なくとも 1 つの専用データ処理ユニットと、汎用命令により汎用処理を実行可能な汎用データ処理ユニットと、前記専用命令および汎用命令を備えたプログラムに基づき、前記専用データ処理ユニットおよび汎用データ処理ユニットに命令を発行する命令発行ユニットと、前記プログラムを記憶するコードメモリと、前記汎用命令によりデータを入力または出力可能なデータメモリとを有するデータ処理装置の制御方法であって、

前記汎用命令に基づき入力または出力するデータの入力アドレスまたは出力アドレスが予め設定されたアドレスのときに、他の前記データ処理装置との間でデータを交換する通信工程を有するデータ処理装置の制御方法。



【請求項 2 3】 請求項 2 2 において、前記通信工程は、前記出力アドレスが前記予め設定されたアドレスのときに、他の前記データ処理装置へデータを送信する工程を備えているデータ処理装置の制御方法。

【請求項 2 4】 請求項 2 2 において、前記通信工程は、前記入力アドレスが前記予め設定されたアドレスのときに、他の前記データ処理装置からデータを受信する工程を備えているデータ処理装置の制御方法。

【請求項 2 5】 請求項 2 2 において、前記通信工程は、他の前記データ処理装置からデータを受信すると前記データメモリの所定のアドレスにデータを記憶する工程を備えているデータ処理装置の制御方法。

【請求項 2 6】 請求項 2 5 において、前記通信工程では、前記データメモリの受信専用領域が前記汎用データ処理ユニットにより読み出されているときは、前記データを記憶する工程を延期し、前記データを記憶する工程中は、前記汎用データ処理ユニットが前記受信専用領域からデータを読み出す処理を延期するデータ処理装置の制御方法。

【請求項 2 7】 請求項 2 2 において、前記通信工程は、他の前記第 1 のタイプのデータ処理装置からデータを要求されると前記データメモリの所定のアドレスからデータを提供する工程を備えているデータ処理装置の制御方法。

【請求項 2 8】 請求項 2 7 において、前記通信工程では、前記データメモリの送信専用領域が前記汎用データ処理ユニットにより書き込まれているときは、前記データを提供する工程を延期し、前記データを提供する工程中は、前記汎用データ処理ユニットが前記送信専用領域にデータを書き込む処理を延期するデータ処理装置の制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、ハードウェアで演算処理を実行可能なデータバスを備えた専用データ処理ユニットを備えたデータ処理装置およびそれを用いたデータ処理システムに関するものである。

【0 0 0 2】

## 【従来の技術】

L S I の大規模・微細化は数十年に及ぶ進展を遂げ、近年では極めて大きな機能を持ったシステムがシステム L S I などとしてシリコン上に具現化できるようになりつつある。このような背景にあって、インテル社のペンティアム（登録商標）L S I に代表されるような高速・高性能な汎用 L S I とは別に、目的に応じて性能を最大限に引き出す専用目的のシステム L S I や、その応用分野では汎用 L S I よりコストパフォーマンスの優れた解を引き出すシステム L S I の需要が拡大している。例えば、携帯電話に見られるような低消費電力を要求される L S I や、ネットワーク機器に見られるようなリアルタイム応答性とデータもしくはパケット転送に適した L S I、さらには、画像データの転送を目的とした画像圧縮伸長に適した L S I などの通信ネットワーク応用分野とデジタル T V に代表される情報家電応用分野で特に顕著である。

## 【0003】

## 【発明が解決しようとする課題】

このような要求に対し、専用目的のシステム L S I を構築するにあたり、専用目的のプロセッサを開発および製造する方式が採用されつつある。大規模な専用システム L S I が要求される場合、システム L S I の機能、すなわち仕様は何らかの形式で高級言語（C 言語や J a v a （登録商標）言語）で定義され記述される。したがって、その高級言語を実行できるコンパイラ等の環境を備えたプロセッサ、あるいはそのような環境に対応できるプロセッサであることが要求される。このため、目的に応じた専用命令を装備させた専用プロセッサであれば、その高級言語で記述された内容进行处理するための専用回路を備えているので極めてコストパフォーマンスの良いシステム L S I を提供できる。

## 【0004】

一方、処理速度を向上する手法としてマルチプロセッサにより並列処理を行う手法が知られている。したがって、C 言語により記述された一つのプログラムを分割して複数の処理プロセスにし、これらの処理プロセスを並列に実行することができれば処理速度は大幅に向上する。そして、汎用プロセッサでは装備されにくい特殊な演算进行处理する命令による演算処理は、汎用プロセッサではクロック

数を多く費やし易いので、専用命令として専用データ処理回路で処理する設計とし、それらの専用データ処理回路により並列処理することにより大幅に処理速度が向上する。

## 【 0 0 0 5 】

しかしながら、C言語で記述されたシステムを複数の処理あるいはプロセスに分解して、それを処理可能な専用回路が設計できたとしても、それらの処理あるいはプロセスが並列に実行されるように制御するためには、相互の専用回路の処理状況などを伝達する何らかの通信機能も専用回路に設ける必要がある。さらに、その通信結果に基づき専用回路における処理を制御する機能も盛り込む必要がある。さらに、適用分野に応じて多種多様の演算が要求されるので、それぞれの演算に対応した専用回路を開発することに加えて、専用回路同士を並列に動作させるための機能が必要である。したがって、専用回路を並列動作させるシステムLSIは、処理速度は大幅に向上すると考えられるが、そのようなシステムLSIを設計し検査するためには膨大な時間とコストが必要となる。したがって、需要に応じてタイムリーに提供することは難しく、さらに、コストパフォーマンスも悪く、これらを改善することができる技術は開示されていない。

## 【 0 0 0 6 】

そこで、本発明においては、複数の専用回路を並列動作させることが可能なシステムLSIを短期間で低コストで開発し、提供することができるデータ処理システムおよびデータ処理装置を提供することを目的としている。そして、C言語などの高級言語で記載されたプロセスを複数のプロセスに分散して並列に実行することができるシステムLSIを短期間で経済的に供給することができるデータ処理システムおよびデータ処理装置を提供することを目的としている。

## 【 0 0 0 7 】

さらに、ハードウェアを直接意識しないで記述できるC言語やJ A V A（登録商標）言語に対応した、あるいは連動した通信機能を採用することにより、C言語などで記述された大規模なシステムを、複数の専用回路を備えたシステムとして短期間に低コストで提供することができるデータ処理システムおよびデータ処理装置を提供することも本発明の目的としている。

## 【 0 0 0 8 】

## 【課題を解決するための手段】

本願の出願人は、たとえば、特開 2 0 0 0 - 2 0 7 2 0 2 号にカスタマイズ可能な専用命令を装着できるデータ処理装置を開示している。このデータ処理装置は、専用データ処理ユニットである V U 部と、汎用なデータ処理が可能な R I S C プロセッサに当る P U 部とを有するデータ処理装置であり、 V U 部は P U 部とは異なりマルチサイクルで動作可能であり、専用命令により大規模な処理を実行可能になっている。したがって、専用命令により実行される特定のデータ処理用のデータパス部、すなわち専用回路を備えた専用データ処理ユニットと、汎用データ処理ユニットとが組み合わされた V U P U アーキテクチャによるデータ処理装置をさらに組み合わせて、汎用データ処理ユニットに他のデータ処理装置の汎用データ処理ユニットとの通信機能を搭載することにより、複数の専用回路を備えたシステムであって、それらの専用回路を並列動作させることができるデータ処理システムを短期間に、そして経済的に提供することが可能となる。さらに、 C 言語などの高級言語で記述されたシステムのプログラムファンクションそのものを専用命令として一命令化して専用データ処理ユニットで実行可能とすることにより、 C 言語で記述されたシステムを複数の処理あるいはプロセスに分解し、それらの処理あるいはプロセスを専用回路で高速に並列に実行することができる処理能力の高いデータ処理システムを短期間に、そして低コストで提供することができる。

## 【 0 0 0 9 】

すなわち、本発明のデータ処理システムは、複数のデータ処理装置を有し、それらのうち 2 以上のデータ処理装置は、専用命令により実行される特定のデータ処理用のデータパス部を備えた少なくとも 1 つの専用データ処理ユニットと、汎用命令により汎用処理を実行可能な汎用データ処理ユニットと、専用命令および汎用命令を備えたプログラムに基づき、専用データ処理ユニットおよび汎用データ処理ユニットに命令を発行する命令発行ユニットとを有する第 1 のタイプのデータ処理装置、すなわち V U P U アーキテクチャによるデータ処理装置であり、少なくとも 1 つの第 1 のタイプのデータ処理装置の汎用データ処理ユニットは、

他の第1のタイプのデータ処理装置の汎用データ処理ユニットとデータを交換可能な通信手段を備えている。したがって、本発明のデータ処理装置は、専用命令により実行される特定のデータ処理用のデータバス部を備えた少なくとも1つの専用データ処理ユニットと、汎用命令により汎用処理を実行可能な汎用データ処理ユニットと、専用命令および汎用命令を備えたプログラムに基づき、専用データ処理ユニットおよび汎用データ処理ユニットに命令を発行する命令発行ユニットとを有し、汎用データ処理ユニットは、他のデータ処理装置の汎用データ処理ユニットとデータを交換可能な通信手段を備えている。

## 【 0 0 1 0 】

本発明の専用データ処理ユニットは、アプリケーションなどに特化した専用回路となるデータバス部を備えており、専用命令により特化した処理あるいはプロセスを高速で実行できる。一方、汎用データ処理ユニットは、専用命令に対処する必要がなく、基本命令あるいは汎用命令を解釈して実行できる機能があればよく、汎用性を犠牲にすることなく様々なアプリケーションなどに対応した専用データ処理ユニットと共存できる。そして、専用命令および汎用命令を備えたプログラムに基づき、専用データ処理ユニットおよび汎用データ処理ユニットが制御されるので、汎用データ処理ユニットにより専用データ処理ユニットを制御したり、その演算結果による汎用的な処理を行うことができる。したがって、汎用データ処理ユニットに並列処理に必要な通信手段を設けることにより、通信機能を専用回路から分離して組み込むことが可能となり、さらに通信機能をプログラムにより制御することができる。

## 【 0 0 1 1 】

このため、複数の専用回路を有するデータ処理システムにおいて、それらの専用回路を並列に実行するために必要な通信機能を、専用回路に影響を与えず、汎用的な構成で簡単に設けることが可能であり、さらに、プログラムにより柔軟に制御できる。このため、複数の専用回路を並列実行可能なデータ処理システムの設計および開発期間を短縮でき、低コストで提供できる。さらに、通信機能はプログラムで制御が可能なので、後の変更や修正にも柔軟に対処できる。したがって、複数のデータ処理装置の専用データ処理ユニットを含む、単一のデータの流

れを処理するデータ処理系統を形成したり、複数のデータ処理装置の専用データ処理ユニットを含む、データの流れを処理する複数のデータ処理系統を形成することにより、C言語などの高級言語で記載されたプロセスを複数のプロセスに分散して並列に実行できるシステムLSIとして適したデータ処理システムおよびデータ処理装置を提供できる。

## 【0012】

システム全体がC言語などの高級言語で記述されており、これを複数のプロセスに分割し、各々のプロセスを本発明のデータ処理装置に割り当てる場合においては、データ処理装置の間のデータ通信をいかにして行うかという課題に直面する。プロセッサ間のデータ通信はバスを通じて行う方式や、専用の通信専用ハードウェアマクロを介して行う方式が多く用いられている。したがって、本発明のデータ処理システムにおいて、データ処理装置の間の通信手段として、これらの通信専用のハードウェアを用いることも可能である。しかしながら、C言語を記述するユーザから直にデータ転送を制御もしくは管理し難いという欠点がある。すなわち、バス方式ではハードウェアであるバス自体をC言語のレベルから直接参照するのが困難である。上述したように、C言語のような高級言語ではハードウェアを直接意識しないで記述できることに特徴があり、当然の事とも言える。また、通信専用ハードウェアマクロを使用してデータ通信を行う場合には、通信機能は専用ハードウェアが保持するのでC言語のレベルからでは細かな制御もしくはプログラミングが困難ということになる。すなわち、これらの従来多く採用されているプロセッサ間データ通信機構は、ハードウェア側の要求に基づいてボトムアップに構築されたものである。従って、C言語との連動性は要求されておらず、そのため連動性は薄いといえる。

## 【0013】

しかしながら、本発明のデータ処理システムに基づき、C言語で記述された仕様に基づいてシステムLSIを設計するためには、C言語で記述されたシステム仕様からLSI化に向けてトップダウンな設計方式であることが望ましい。したがって、C言語でハードウェアを意識することなしにデータの転送が自由に行えることが望ましい。すなわち、本発明のデータ処理システムにおいては、C言語

で記述されたシステム全体を複数のC言語のプロセスに分割し、それらの各々の対応した専用回路を備えた複数のデータ処理装置の集合としてシステムLSIを設計することができる。そして、複数のC言語のプロセスに分解する際に、C言語により、ハードウェアを意識すること無しにデータを転送する記述が可能となれば、複数のC言語のプロセスに分解する設計作業を円滑に進めることがはじめて可能となる。そのためには、C言語により、ハードウェアを意識すること無しにデータ転送を自由に行えるハードウェア・アーキテクチャを提供する必要がある。

## 【 0 0 1 4 】

このため、本発明においては、汎用命令に基づくデータの入出力において、そのデータを入力または出力するアドレスにより、データを他のデータ処理装置のデータメモリから入力、または他のデータ処理装置のデータメモリに対し出力するようにしている。すなわち、本発明のデータ処理装置は、プログラムを記憶するコードメモリ、たとえば、メモリのプログラム記憶領域、コードRAMあるいはコードROMと、汎用命令によりデータを入力または出力可能なデータメモリ、たとえば、メモリのデータ記憶領域あるいはデータRAMとを有しており、通信手段は、汎用命令に基づき入力または出力するデータの入力アドレスまたは出力アドレスが予め設定されたアドレスのときに、他のデータ処理装置との間でデータを交換し、他のデータ処理装置のデータメモリからデータを入力し、またはそのデータメモリに対しデータを出力するようにしている。また、本発明の、データ処理装置の制御方法においては、汎用命令に基づき入力または出力するデータの入力アドレスまたは出力アドレスが予め設定されたアドレスのときに、他のデータ処理装置との間でデータを交換する通信工程を有する。

## 【 0 0 1 5 】

他のデータ処理装置のデータメモリに対しデータを入出力するタイプのデータ通信において、相手側となる他のデータ処理装置のデータメモリに書き込みに行くPUTあるいはPUSH型（以降ではPUT型と呼ぶ）と、相手側となる他のデータメモリに読み出しに行くGET型とを提示することができる。そして、どちらもC言語からのデータ転送を制御することができる。すなわち、PUT型の

データ処理装置の通信手段あるいは通信工程では、出力アドレスが予め設定されたアドレスのときに、他のデータ処理装置へデータを送信する。したがって、受信側となる他のデータ処理装置のデータメモリの少なくとも1部の領域を、自己のデータ処理装置のデータメモリと同じレベルで仮想的に取り扱うことができる。このため、C言語により、データの出力先を所定のアドレスにすると、他のデータ処理装置のデータメモリにデータを書き込むことができる。

## 【 0 0 1 6 】

一方、PUT型のデータ処理装置の相手となる受信側のデータ処理装置の通信手段あるいは通信工程では、発信側の他のデータ処理装置からデータを受信するとデータメモリの所定のアドレスにデータを記憶する。これにより、受信したデータを自己のデータメモリに記憶できる。したがって、C言語によりデータが書き込まれたアドレスのデータを読み込むことにより、汎用データ処理ユニットではそのデータを使用できる。この結果、C言語により発信側と受信側のデータ処理装置間でデータを転送する処理を操作できたことになる。

## 【 0 0 1 7 】

たとえば、あるアドレスを予め設定しておき、そのアドレス以上であれば、他のデータ処理装置のデータメモリへ書き込み、そのアドレス以下であれば自身のデータメモリへ書き込む、という制御を行う。この制御を行う為に、通信相手となるデータ処理装置の情報を格納するレジスタを設け、そこに送出先のデータ処理装置の識別情報、そのデータ処理装置に対しデータ転送を開始するアドレス、転送を終了するアドレスなどの情報を格納しておくことができる。

## 【 0 0 1 8 】

同様に、GET型のデータ処理装置の通信手段あるいは通信工程では、入力アドレスが予め設定されたアドレスのときに、他のデータ処理装置からデータを受信する。したがって、送信側となる他のデータ処理装置のデータメモリの少なくとも1部の領域を、自己のデータ処理装置のデータメモリと同じレベルで仮想的に取り扱うことができる。このため、C言語により、データの入力元を所定のアドレスにすると、他のデータ処理装置のデータメモリからデータを読み込むことができる。



## 【 0 0 1 9 】

一方、GET型のデータ処理装置の相手となる送信側のデータ処理装置の通信手段あるいは通信工程では、受信側となる他のデータ処理装置からデータを要求されるとデータメモリの所定のアドレスからデータを提供する。これにより、C言語によりデータをデータメモリの所定のアドレスに書き込むことにより、受信側のデータ処理装置にデータを転送できたことになる。このようにGET型においても、C言語により発信側と受信側のデータ処理装置間でデータを転送する処理を操作できたことになる。

## 【 0 0 2 0 】

複数のデータ処理装置を通信手段により組み合わせてシステムを構築する場合、複数のデータ処理装置をPUT型あるいはGET型に揃えることが可能である。あるデータ処理装置が親あるいはマスタとして動作し、それと通信を行う他のデータ処理装置が子あるいはスレーブとして動作するシステムを構築した場合も、マスタ（親）およびスレーブ（子）のデータ処理装置の構成をPUT型あるいはGET型に揃えることが可能である。一方、子のデータ処理装置の通信手段が、出力アドレスが予め設定されたアドレスのときに、親のデータ処理装置へデータを送信する手段と、入力アドレスが予め設定されたアドレスのときに、親のデータ処理装置からデータを受信する手段とを備えている第1のPUT・GET型にすることも可能である。また、親のデータ処理装置の通信手段が、出力アドレスが予め設定されたアドレスのときに、子のデータ処理装置へデータを送信する手段と、入力アドレスが予め設定されたアドレスのときに、子のデータ処理装置からデータを受信する手段とを備えている第2のPUT・GET型にすることも可能である。

## 【 0 0 2 1 】

第1のPUT・GET型は、子供と親の間で転送されるデータを入出力する領域をマスタ側に集中するのでメモリのスペース効率は良い。一方、第2のPUT・GET型であると、転送するデータを入出力する領域が子供の側に分散するので子側のデータ処理装置の独立性が強くなり、分散処理のメリットをさらに活かすことができる。

## 【 0 0 2 2 】

データが誤り無く転送されるには、転送するデータを入力または出力する領域に、送信側および受信側のデータ処理装置が同時に入力または出力しないようにすることが望ましい。本発明のデータ処理装置は、データを転送するタイミングをプログラムで制御することができるので、そのような事態が発生しないように送信側および受信側のデータ処理装置のプログラムを作成でき、C言語により制御することができる。また、通信手段に、データを記憶する手段がデータを記憶するデータメモリの受信専用領域が汎用データ処理ユニットにより読み出されているときは、データを記憶する手段の処理を延期し、データを記憶する手段の処理中は、汎用データ処理ユニットが受信専用領域からデータを読み出す処理を延期する調停手段、または、データを提供する手段がデータを取得するデータメモリの送信専用領域が汎用データ処理ユニットにより書き込まれているときは、データを提供する手段の処理を延期し、データを提供する手段の処理中は、汎用データ処理ユニットが送信専用領域にデータを書き込む処理を延期する調停手段を設けても良い。また、本発明のデータ処理装置の制御方法の通信工程で調停手段と同様の制御を行うようにしても良い。

## 【 0 0 2 3 】

このように、本発明は、専用データ処理ユニットと、通信手段を備えた汎用データ処理ユニットとを有するデータ処理装置を複数有するデータ処理システムを提供するものであり、本発明のデータ処理システムにより、複数の専用回路を並列実行することができるシステムLSIを極めて短期間に、そして低コストで提供することができる。さらに、本発明においては、専用回路を備えた分散処理システムであるデータ処理装置の間の通信機構を、C言語あるいはJAVA（登録商標）言語などの高級言語と連動性および対応性のあるハードウェアで実現するアーキテクチャを提供しており、1のプロセスから他のプロセスへデータ転送がC言語で記述でき、その結果、C言語によるプロセスを複数のプロセスに分割が容易となり、分散処理システムの設計が可能となる。したがって、C言語で記述された仕様を実現し、高速で処理可能な複数の専用回路を用いた分散処理タイプのシステムLSIをさらに短期間に、経済的に設計し供給することができる。

## 【 0 0 2 4 】

さらに、少なくとも1つの第1のタイプ、すなわちVUPUアーキテクチャのデータ処理装置の少なくとも1つの専用データ処理ユニットに、VUPUアーキテクチャ以外の、たとえば従来型のRISCプロセッサなどの第2のタイプのデータ処理装置とデータを交換する機能を持たせることにより、本発明にかかるデータ処理システムで実現できるシステム構成はさらに広がる。

## 【 0 0 2 5 】

## 【発明の実施の形態】

以下に図面を参照しながら本発明についてさらに説明する。図1に、特定の処理に特化した専用データ処理ユニット（専用命令実行ユニット、以降ではVU）1と、汎用的な構成の汎用データ処理ユニット（汎用命令実行ユニットあるいはプロセスユニット、以降ではPU）2とを備えた本発明のデータ処理装置10の概要を説明する。このデータ処理装置10は、専用回路を備えたプログラマブルなプロセッサであり、このため、実行形式の制御プログラム（プログラムコード、マイクロプログラムコード）4aを内蔵したコードRAM4から命令をフェッチし、専用データ処理ユニット1および汎用データ処理ユニット2にデコードされた制御信号を提供するフェッチユニット5を備えている。本例においては、このフェッチユニットFU5が命令発行ユニットに該当する。

## 【 0 0 2 6 】

このフェッチユニット5は、前の命令あるいはステートレジスタ6の状態、割り込み信号 $\phi i$ などによって決まる所定のコードRAM4の所定のアドレスから命令をフェッチするフェッチ部7と、フェッチされた専用命令あるいは汎用命令（一般命令）をデコードするデコード部8とを備えている。デコード部8は、専用命令をデコードした制御信号（デコードド・コントロール・シグナル；Decoded Control Signal） $\phi v$ および汎用命令をデコードした制御信号（デコードド・コントロール・シグナル；Decoded Control Signal） $\phi p$ を、専用データ処理ユニットVU1および汎用データ処理ユニットPU2にそれぞれ供給する。さらに、PU2からは実行状態を示すステータス信号（Exec unit Status Signal） $\phi s$ が返えされ、PU2およびVU1の状態がステートレジスタ（状態レジスタ）6

に反映されるようになっている。

#### 【 0 0 2 7 】

本例の P U 2 は、汎用レジスタ、フラグレジスタおよび演算ユニット (A L U ) などから構成される汎用性の高い実行ユニット 1 1 と、他の P U 2 との間でデータを交換する機能を備えた通信ユニット 1 2 とを備えており、データ R A M 1 5 を一時的な記憶領域としてデータを入出力しながら汎用処理を実行できるようになっている。これらのフェッチユニット F U 5、汎用データ処理ユニット P U 2、コード R A M 4、データ R A M 1 5 を有する構成は、個々の機能は異なるが一般的なプロセッサユニットと類似の構成となる。したがって、F U 5、P U 2、コード R A M 4 およびデータ R A M 1 5 を有する構成をプロセッサユニット 3 と称することも可能であり、プロセッサユニット (P U X) 3 から V U 1 を制御するような概念で本例のデータ処理装置 1 0 を構成あるいは設計することができる。

#### 【 0 0 2 8 】

F U 5 からの専用命令  $\phi v$  を実行する専用データ処理ユニット V U 1 は、F U 5 が供給する命令が V 命令  $\phi v$  であるかなどをデコードするユニット 2 2 と、予め特定のデータ処理を行うように制御信号をハードウェア的に出力するシーケンサ (F S M (Finite State Machine)、ファイナイトステートマシン) 2 1 と、このシーケンサ 2 1 からの制御信号に従って特定のデータ処理を行うようにデザインされたデータパス部 2 0 を備えている。また、V U 1 は、P U 2 からアクセス可能なレジスタ 2 3 を備えており、データパス部 2 0 の処理に必要なデータをインターフェイスレジスタ 2 3 を介して P U 2 で制御したり、V U 1 の内部状態をレジスタ 2 3 を介して P U 2 で参照できるようになっている。また、データパス部 2 0 で処理された結果は P U 2 に供給され、P U 2 ではその結果を利用した処理が行われる。

#### 【 0 0 2 9 】

本例のデータ処理装置 1 0 は、コード R A M 4 に、汎用命令 (P 命令) および専用命令 (V 命令) を含んだプログラムが記憶されており、それがフェッチユニット 5 でフェッチされ、デコードされた制御信号  $\phi p$  または  $\phi v$  として V U 1 お

よびPU2に供給される。VU1は、制御信号 $\phi p$ および $\phi v$ のうち、自己を起動する専用命令の制御信号 $\phi v$ が供給されると稼動する。一方、PU2には、汎用命令がデコードされた制御信号 $\phi p$ だけが供給されるようになっており、V命令をデコードした制御信号 $\phi v$ はPU2には発行されず、その代わりに、実行を伴わないnop命令を示す制御信号が発行され、PU2の処理はスキップされる。VU1は、アプリケーションなどによって変更されるものであり、VU1に指示を出す専用命令もアプリケーションによって変わることが多い。VU1は、アプリケーションに特化した専用回路であり、V命令をデコードした制御信号を解釈するように設計することは容易である。一方、PU2は、nop命令が出力されることにより、VU1に特化した命令に対処する必要がなく、基本命令あるいは汎用命令を解釈して実行できる機能があればよく、汎用性を犠牲にすることなく様々なアプリケーションに対応したVU1と共存し、これらを制御したり、その演算結果を用いて処理を行うことができる。

#### 【0030】

このように、図1に示したデータ処理装置10は、リアルタイム応答などの特殊な演算が要求される処理を実現できる専用回路を備えたVU1と、汎用性があるPU2とを有し、この組合せによりシステムLSIあるいはプロセッサを形成可能なアーキテクチャである。また、VU1およびPU2の組合せを複数搭載することによってもシステムLSIあるいはプロセッサを形成できるアーキテクチャでもあり、以降においては、VU1とPU2との組合せによる処理ユニットあるいは処理装置の単位をVUPUと称することにする。このVUPU10は、リアルタイム応答性を犠牲にすることなく、設計および開発期間を短縮でき、さらに、その後の変更や修正にも柔軟に対処できるものである。また、VU1は、1つに限定されることはなく、アプリケーションで要求される専用処理を処理できるように複数のVU1を用意し、それぞれのVU1を稼動する複数の専用命令をプログラムコードに含めることが可能である。さらに、本例のVU1は、特殊な演算処理だけでなく、プログラム中の特定のプログラムファンクションを専用回路化してプログラムを効率良く可動させることができる。そして、本例のPU2は、他のPU2とデータを交換することができる通信ユニット12を備えており

、他のVUPU10と通信することにより、複数のVUPU10のVU1を並列に稼働させることができる。したがって、VUPU10を複数備えたデータ処理システムは適応可能な範囲が非常に広いアーキテクチャである。

#### 【0031】

たとえば、図2に示すように、C言語により記述されたプロセスが図2のように、親あるいはマスタとなるプロセスC1と、そのプロセスC1からデータが転送され、そのデータに基づく処理結果を返すプロセスC2およびC3により構成されている場合、これらのプロセスC1、C2およびC3を図3に示すように3つのVUPU10に割り振ることが可能である。そして、VUPU10であれば、特殊な演算処理だけでなく、プログラム中の特定のプロセスあるいはプログラムファンクションを専用回路化してプログラムを効率良く可動させることができるので、処理速度を向上できる。さらに、VUPU10は、PU2が通信機能を備えているので、図4に示すように、親となるプロセスC1が割り振られたVU1、すなわちVU(C1)を備えたVUPU10から、子供あるいはスレーブとなるプロセスC2が割り振られたVU(C2)を備えたVUPU10に対しデータが転送されることにより、VU(C2)がVU(C1)と並列に処理を開始することができる。そして、VU(C2)の処理結果をVU(C1)に返すことによりVU(C1)ではその処理結果に基づく処理を実行することができる。

#### 【0032】

同様に、プロセスC3が割り当てられたVU(C3)を備えたVUPU10に対しデータが転送されることにより、VU(C3)がVU(C1)と並列に処理を開始することができる。さらに、VU(C2)とVU(C3)とが並列に処理を行うことができるプロセスであればさらに並列度を上げることが可能であり、処理速度を向上することができる。このように、各VUPU10がある時刻でひとつしか動作しなければ、非並列であり、元のC言語で記述されたプロセスを専用回路化した効果しか得られない。これに対し、本発明のVUPU10であれば、専用回路化した複数の複数のプロセスを並列に実行することが可能となり、処理速度を大幅に向上できる。このため、図3に示すように、C言語で記述された仕様を複数のプロセスに分け、複数のVUPU10のVUに割り当て、それらの

VUPU10によってシステムLSI30などのデータ処理システムを構築することにより、プロセスあるいはファンクションを専用回路化するメリットに加えて、それらの専用回路を並列に実行することが可能となる。したがって、非常に処理速度の速いシステムLSI30を提供することが可能となる。

## 【0033】

すなわち、図5に示すように、C言語で記述されたある仕様51が与えられたときに、その仕様51をある程度並列実行可能な複数のプロセス52に分けることが可能である。そして、専用回路を形成するデータパス部20とシーケンサ21により、プロセス52の全てあるいは一部が実行できるようにVU1を生成することが可能であり、VUPU10として供給することができる。そして、そのようにして作成されたVUPU10を組み合わせることでシステムLSI30とすることにより、並列度の高い処理が可能なシステムLSI30を提供することができる。さらに、VUPU10は、専用回路で処理することが適さない処理はプロセッサとしての機能を備えたPU2により処理することが可能であり、専用回路による処理を並列に実行できるのみならず、汎用プロセッサによる処理も並列に実行させることができる。

## 【0034】

図6ないし図8は、通信機能を備えた本発明のVUPU10によりデータ処理システム30を構成する幾つかの例を示してある。多くのケースでは、1つのチップに複数のVUPU10が搭載され、本明細書に示したような構成のデータ処理システム30は、特定のアプリケーションの処理を効率良く行うことができるシステムLSIとして提供されることになるであろう。図6に示したデータ処理システム30は、VUPU10のPU2と通信するのに適したアーキテクチャを備えたプロセッサ31を中心に、複数のVUPU10が適当な通信手段により接続されているものである。たとえば、並列に稼動する複数のVU1により、画像データとなるビットストリーム39に対し圧縮あるいは解凍に必要な一連の処理を順次施すことが可能であり、画像処理を高速に実行することができる。そして、各処理を行うVU1はPU2で制御され、そのPU2は他のPU2とデータを交換できるようになっているので、処理の同期、調停あるいはエラーなどを適切

に処理することができる。これらのVUPU10は、各々が独立したプログラムコードにより動作するので、マルチインストラクションによりシングルデータフローを処理することができるデータ処理システム30を提供することができる。

## 【0035】

図7に示したデータ処理システム30は、汎用のバスなどを介してデータを送受信することができる通信機能を備えたVU (COM) を搭載したVUPU10Aをインターフェイスとして用い、VUPU10を繋げたシステムと、VUPUとは異なるアーキテクチャの従来あるいは他のタイプ(第2のタイプ)のプロセッサ32とにより構築されている。また、図8に示したデータ処理システム30は、VU (COM) とプロセスを搭載したVU (C1) あるいはVU (C2) の2つのVUを搭載したVUPU10Bをインターフェイスとして、他のタイプのプロセッサ32を含めてシステムを構築した例である。通信機能を備えたPU2を採用することにより、複数のVUPU10を用いたシステムを非常にフレキシブルに構築することが可能であり、様々な仕様のアプリケーションに対する最適な構成のシステムLSIを提供できる。

## 【0036】

このように、複数のVUPU10を並列実行させることにより極めて処理速度の速いシステムLSIを提供することが可能となる。そのためには、図9に示すようにC言語で記述された機能あるいは仕様51を複数のプロセス52に分解してVUPU10を作成する必要がある。その際に、VUPU10の間のデータ通信をいかにして行うかという課題に直面する。プロセッサ間のデータ通信はバスを通じて行う方式や、専用の通信専用ハードウェアマクロを介して行う方式が多く用いられており、本例のデータ処理システム30にも適用できる。

## 【0037】

しかしながら、バス方式ではハードウェアであるバス自体をC言語のレベルから直接参照するのが困難であり、C言語により複数のプロセス52に分解したときに通信機能をC言語のレベルからでは細かな制御ができない。したがって、上述したような複数のVUPU10を備えたデータ処理システムを短期間に低コストで開発するためには、C言語でハードウェアを意識することなしにデータの転



送が自由に行えることが望ましい。すなわち、複数のＣ言語のプロセスに分解する際に、Ｃ言語により、ハードウェアを意識することなしにデータを転送する記述が可能となれば、複数のＣ言語のプロセスに分解する設計作業を円滑に進めることがはじめて可能となる。そして、Ｃ言語のレベルで分割されたプロセスに基づき、専用回路化できる部分をＲＴＬに変換して専用回路を設計および製造し、専用回路を稼動する専用命令とその他の汎用処理を行う汎用命令を備えたプログラムコードを作成し、さらにこれらをテストして完成するステップ５３の負荷を軽減することができる。

## 【 0 0 3 8 】

このため、本例ではＣ言語により、ハードウェアを意識すること無しにデータ転送を自由に行えるハードウェア・アーキテクチャを通信機能として採用している。この方式の通信機能は、Ｃ言語に限定されるものではなく、より分散および並列記述の容易なＪＡＶＡ（登録商標）言語、あるいはその他の高級言語で記載された仕様をシステムＬＳＩなどのデータ処理システムとして実現するためにも好適である。

## 【 0 0 3 9 】

図１０に、本発明のＶＵＰＵ１０の一例をＰＵ２を中心に示してある。ＰＵ２は、図１に基づき説明したように、コードＲＡＭ４に格納されたプログラム４ａの汎用命令をデコードした制御信号 $\phi_p$ を実行する実行ユニット１１と、通信機能を備えた通信ユニット１２とを備えている。そして、本例の通信ユニット１２は、実行ユニット１１がデータＲＡＭ１５にアクセスするために出力するアドレスＡＯが予め設定された範囲のアドレスであるときは、通常のＲＤ／ＷＲデータＲＡＭ１５Ｎとは異なる受信用データＲＡＭ１５Ｘあるいは送信用データＲＡＭ１５Ｙに対し入出力動作を行う。そして、自己の受信用データＲＡＭ１５Ｘに書き込まれたデータを読み込んだり、他のＶＵＰＵの送信用データＲＡＭ１５Ｙからデータを取得することにより、他のＶＵＰＵとの間でデータ転送を行う。すなわち、本例のＶＵＰＵ１０のプロセッサＰＵＸ３は、コードＲＡＭ４と、データＲＡＭ１５とが異なる、いわゆるハーバードアーキテクチャと称されるタイプである。そして、データＲＡＭの一部を他のＶＵＰＵ１０と共用したり、他のＶＵ

P U 1 0 と共用のデータ R A M を設けることにより、入出力アドレスにより他の V U P U 1 0 に対しデータ転送することができる。したがって、入出力アドレスを C 言語で記述することによりに V U P U 1 0 の間の通信を制御することができる。

#### 【 0 0 4 0 】

この通信方式は、通信相手の V U P U 1 0 の受信 R A M 1 5 X に出力データを書き込む P U T あるいは P U S H 型と、通信相手の V U P U 1 0 の送信 R A M 1 5 Y から入力データを取得する G E T 型に大きく分かれる。図 1 0 に示した V U P U 1 0 は、P U T 型の例である。したがって、V U P U 1 0 は、入出力可能な通常の R D / W R データ R A M 1 5 N に加え、自己の実行ユニット 1 1 に対してはリードオンリとなる受信 R A M (受信データ R A M) 1 5 X を備えている。また、通信ユニット 1 2 は、出力データ D O を他の V U P U 1 0 に送信する送信インターフェイス 1 3 と、他の V U P U 1 0 から受信した入力データ D I を受信 R A M 1 5 X に書き込む受信インターフェイス 1 4 を備えている。

#### 【 0 0 4 1 】

送信インターフェイス 1 3 は、送信制御部 1 3 C を備えており、実行ユニット 1 1 がプログラム 4 a にしたがってデータを書き込む際に出力するアドレス A O があるアドレス以上であると、送信バッファ 1 3 B を経由して他の V U P U のデータ R A M (受信 R A M) に書き込む。したがって、プログラム 4 a からみると、自身の V U P U 1 0 に実体のあるデータ R A M に書き込むのと同じ操作で、実体の無い送信用のデータ R A M 1 5 Z にデータを転送することができる。そして、その実体のない送信用のデータ R A M 1 5 Z は、通信相手の V U P U に存在する送信専用のライトオンリのデータ R A M 1 5 X であり、通信相手の実行ユニット 1 1 にとってはリードオンリの受信専用のデータ R A M となる。

#### 【 0 0 4 2 】

受信インターフェイス 1 4 は、受信制御部 1 4 C を備えており、他の V U P U 1 0 から受信した入力データ D I (送信元においては出力データ D O) を受信 R A M 1 5 X に書き込む。送信制御部 1 3 C および受信制御部 1 4 C は、それぞれ、コンフィグレーション・レジスタ 1 3 R および 1 4 R を備えている。送信用の

コンフィグレーション・レジスタ13Rには、送信先のVUPUの識別情報(ID)、送信開始アドレス、転送サイズ、さらには送信終了アドレスなどの実行ユニット11から出力されるデータを転送先に送信するために必要なデータが格納される。受信用のコンフィグレーション・レジスタ14Rには、受信源となる送信元のVUPUのID、受信開始アドレスおよび受信終了アドレスなどのデータを受信するために必要なデータが格納される。また、送信元の実体の無い送信専用のデータRAM15Zのアドレスと、送信先の受信専用のデータRAM15Xの受信アドレスが一致しない場合には、それらのアドレスの対応表を送信側あるいは受信側のコンフィグレーション・レジスタ13Rあるいは14Rに登録しておき、送信時あるいは受信時にアドレス変換することができる。

## 【0043】

これらの送信用のコンフィグレーション・レジスタ13Rおよび受信用のコンフィグレーション14Rの内容は、例えば、PU2の汎用レジスタ11Rを介してプログラム4aを通じて設定することができる。したがって、C言語により送信および受信を行うことになる入力および出力アドレスや、アドレス変換などの初期条件を設定することができる。

## 【0044】

また、実行ユニット11に入力されるデータDIは、受信用のコンフィグレーション・レジスタ14Rに格納されているアドレスの内容から、受信専用のデータRAM15Xからの読出か、通常のデータRAM15Nからの読出かを判断することが可能である。このため、受信RAM15Xの出力DOと、RD/WRデータRAM15Nの出力DOは、受信制御回路からの信号により制御されるセレクタ16を経由して実行ユニット11のDIに供給される。この結果、プログラム4aは、自己が入出力可能なデータRAM15Nのデータか、通信相手を書き込んだ受信RAM15Xのデータかはアドレスの違いで制御することが可能であり、その他の操作は全く同等に処理できることとなる。

## 【0045】

さらに、送信インターフェイス13は、調停回路13Aを備えており、データ書込状態を示す信号 $\phi_{put}$ を送出する。それと共に、送信を開始するに当たっ

ては、相手がデータを読出中でない事を確認する必要があり、送信相手のVUPUにおける受信RAM15Xのデータ読出状態を示す信号 $\phi busy$ によって識別する。したがって、データ読出状態を示す信号 $\phi busy$ は転送する相手のプロセッサの数分（ID分）だけ必要となる。受信インターフェイス14も調停回路14Aを備えており、受信専用のデータRAM15Xから読出中は、他のVUPUからの出力データを受信できないようになっている。そのため、データ書込状態を示す信号 $\phi put$ を受信したときに、受信RAM15Xが読み出し中であると、読出状態を示す信号 $\phi busy$ を出力する。送信インターフェイス13および受信インターフェイス14で取り扱われるこれらの書込状態を示す信号 $\phi put$ と読出状態を示す信号 $\phi busy$ は、方向は逆だが同じ種類に信号である。そして、レベル信号で送出されるのが一般的である。

## 【0046】

本例の受信専用のデータRAM15Xは、デュアルポートデータRAMであるが、シングルポートデータRAMにより構成することも可能である。デュアルポートデータRAMであれば受信しながらの読出操作が可能となり、並列性が向上し、さらに、上記のような調停回路を省くことができる可能性がある。しかしながら、書込みアドレスAIと、読出しアドレスRAIが同一の場合があることを考慮すると上記の調停回路13Aおよび14Aと状態信号 $\phi put$ および $\phi busy$ を設けておくことが望ましい。調停回路を省いた場合でも、書込みアドレスAIと、読出しアドレスRAIが同一の場合を考慮すると、入力データDIから読出しデータRDIにRAMをバイパスしてデータを出力可能な論理回路が必要となる。

## 【0047】

以上に示す送信・受信機構全体をIVC機構（Inter VUPU Communication機構）と称することとする。

## 【0048】

図11に、IVC機構を備えた2つのVUPU10の間でデータ交換される様子を各々のPUのメモリマップ19を用いて示してある。本図から分かるように、PUT型のIVC機構においては、アドレスがA1からA2の範囲であるとき

は、相手側のデータRAM15Xにデータを書き込むことによりデータを転送する。したがって、データRAMの使用効率が高く、また、データの二重持ちを防ぐことができるのでデータに齟齬が発生することも防止できる。また、アドレスがA3からA4のときは、相手側のPUによりデータが書き込まれたデータRAM15Xからデータを取得する。したがって、転送されたデータをPU2で使用して処理を進めることができる。

## 【0049】

図12に、PUT型のIVC機構を備えた4つのVUPU10を接続したデータ処理システム30の例を示してある。この例では、1つのVUPU10pが親あるいはマスタとなり、他の3つのVUPU10cは子供あるいはスレーブとなっている。親のVUPU10cからは全ての子供のVUPU10pに対し同様にデータが転送され、子供のVUPU10cからは親VUPU10pへ個別にデータが転送される。このため、親のVUPU10pは、子供の数に相当する受信RAMあるいは受信RAM領域15Xを備えており、子供のVUPU10cは1つの受信RAMあるいは受信RAM領域15Xを備えている。したがって、親のVUPU10pにおいては、子供のVUPU10cからデータを並列に受信することが可能であり、また、受信したデータを保持しておけるのでプログラムにより適当なときに使用できる。一方、親のVUPU10pの受信RAM15Xを1つにすることも可能であり、この場合は、順番に子供のVUPU10cからデータを受信するように、親のVUPU10pおよび子供のVUPU10cのプログラムを作成する必要がある。

## 【0050】

また、本例のシステムでは、VUPU10pおよびVUPU10cの間では、4本のデータ転送可能な経路を備えたチャンネル35が用意されている。このようなプロセッサ間のデータ転送経路は、一般的な信号通信処理により形成することが可能である。そして、チャンネル数を増加させれば子供のVUPU10c同士が直接通信する構成にすることも可能であり、本発明のIVC機構を備えたVUPUを用いて通信経路を構築するアーキテクチャは自由度が高い。

## 【0051】

図 1 3 は、図 1 2 に示したデータ処理システム 3 0 の各々の V U P U の P U におけるメモリ構成を示してある。上記と同様に、P U T 型の I V C 機構を備えた V U P U 1 0 を用いているので、1 対 N のシステムであってもデータを送出する場合にはますますシステム全体の分散性を高め、かつ、データ R A M の使用効率を向上することができる。たとえば、親の V U P U 1 0 p の P U ( P U - A ) においては、メモリマップ 1 9 の送信 R A M の領域は V U P U 1 0 p には実体がなく、そのアドレスに物理的に対応するデータ R A M は、子供の V U P U 1 0 c にそれぞれ分散して配置されている。また、子供の V U P U 1 0 c の P U ( P U - B 、 P U - C および P U - D ) においても、メモリマップ 1 9 の送信 R A M 領域は実体がなく、それらのアドレスに物理的に対応するデータ R A M は、親の V U P U 1 0 p に配置されている。

#### 【 0 0 5 2 】

図 1 4 に、本例の I V C 機構を実現する通信ユニット 1 2 の動作をフローチャートで纏めてある。実際に通信を開始する前に、送信用のコンフィグレーション・レジスタ 1 3 R に、送信先の V U P U の I D 、送信するデータの開始アドレス（実体のない送信 R A M に割り当てられたアドレス）、受信 R A M 1 5 X の開始アドレスなどを設定し、受信用のコンフィグレーション・レジスタ 1 4 R に、送信元となる V U P U の I D 、送信されるデータの開始アドレス、受信 R A M の開始アドレスなどを設定する処理が行われる。これらのコンフィグレーション・レジスタ 1 3 R および 1 4 R の設定は、C 言語のレベルであればインライン・アセンブル記述により設定できる。また、この処理をファンクションとしてサブルーチン化しておくことも可能である。

#### 【 0 0 5 3 】

そして、プログラムにしたがって入出力アドレスが出力されると、通信ユニット 1 2 においては、まず、ステップ 6 1 でデータの入出力アドレスを判断する。入出力データが通常データ R A M に割り当てられたアドレスでないときは、ステップ 6 2 で、アドレスに基づき出力処理か入力処理かを判断する。入力の場合は、ステップ 6 3 で受信 R A M 1 5 X に送信されたデータが書き込み中でないこと、すなわち、書き込み状態信号  $\phi p u t$  の書き込み終了を待ち、ステップ 6 4 で自

己の受信RAM15Xからデータを読み出す。それと同時に読出し状態信号 $\phi$ busyを読出しにして書込みを禁止し、読出しが終了すると読出し状態信号 $\phi$ busyを終了状態にする。

#### 【0054】

一方、ステップ62で出力の場合は、ステップ65で読出し状態信号 $\phi$ busyが読出し終了になるのを待ち、ステップ66で出力データ（アドレスとデータおよびそれらアドレスとデータが有効である事を示すライトイネーブル信号）を転送先のVUPU10に送信する。それと共に、書込み状態信号 $\phi$ putを書込み状態にして読み出しを禁止し、書込みが終了すると書込み状態信号 $\phi$ putを終了状態にする。このように、入出力のアドレスによりデータを通信先のVUPU10のデータRAM15Xにする制御方法を採用することにより、C言語レベルの記述でデータの入出力アドレスを管理あるいは制御することだけで複数のVUPU10の間でデータを簡単に交換することができる。

#### 【0055】

図15に、PU-AからPU-Bの受信RAM15Xにデータを書き込む様子をタイミングチャートで示してある。サイクル1では、PU-Bの読出し状態信号 $\phi$ busyがオンになっているので、転送データは有効にならず書き込まれない。さらに、通常、読出し状態信号 $\phi$ busyがオフとなってから1サイクルあけて書込が行われる。このため、サイクル3に、PU-Aの書込み状態信号 $\phi$ putがオンとなり、転送データがアドレスA、データDおよびライトイネーブルWE込みで受信側のPU-Bの受信専用データRAM15Xに転送される。そして、書込み状態信号 $\phi$ putが出力されている間に有効なデータが送信されると、それが受信データRAM15Xに書き込まれる。この例では3サイクルと5サイクル目が有効データであることを示している。

#### 【0056】

本発明のIVC機構においては、図14に示した処理を通信ユニット12のファームウェアやゲートロジックで実装することも可能であるが、データ転送のすべてをC言語レベルの記述で制御することが可能である。図16(a)は、送信側のPU-Aの転送手順をC言語のレベルで記述した例であり、図16(b)は

、受信側のPU-Bの転送手順をC言語のレベルで記述した例である。PU-Aのプログラム71では、ステップ71aでコンフィグレーション・レジスタ13Rに送信スタートアドレスが指定される。ついでステップ71bで転送相手の受信RAMにデータを書込むための送信を開始する。この際、ステップ71cに示すように、送信先の読出し状態信号 $\phi$ busyをチェックし、書込み状態信号 $\phi$ putをオンにする処理をファンクション・コールによりサブルーチン化しておくことができる。信号のチェックおよび設定が済むと、ステップ71dで、書込むためのデータを送出する。そして、データの送が終わるとステップ71eで終了処理を行うが、ステップ71fに示すように書込み状態信号 $\phi$ putをオフにする処理などをサブルーチン化しておくことができる。

#### 【0057】

一方、PU-Bのプログラム72では、ステップ72aでコンフィグレーション・レジスタ14Rに受信スタートアドレスが指定される。ステップ72bで受信RAMに書込まれた送信元からのデータを読み出す処理を開始する。この際、ステップ72cに示すように、送信元の書込み状態信号 $\phi$ putをチェックし、読出し状態信号 $\phi$ busyをオンにする処理をファンクション・コールによりサブルーチン化しておくことができる。信号のチェックおよび設定が済むと、ステップ72dで、転送されたデータを読出し、ステップ72eで読出し終了処理を行う。ここでも、ステップ72fに示すように読出し状態信号 $\phi$ busyをオフにする処理などをサブルーチン化しておくことができる。書込み状態信号 $\phi$ putおよび読出し状態信号 $\phi$ busyをオン状態にしたり、その状態を確認するのはレジスタ操作となる。このため、上記のように、ファンクション・コールによりサブルーチン化しておき、別途アセンブラによりレジスタ設定を行う方法が適している。

#### 【0058】

このように、本発明のIVC機構による通信方法は、データの転送をすべてC言語のレベルの記述により操作できる。先に説明したように、C言語による仕様を複数のC言語によるプロセスに分解してVUPU化する設計手法により、C言語による仕様を並列処理および分散処理することができるシステムLSIを設計



することが可能であり、この際、データのやりとりがC言語のレベルで直接記述できることにより、VUPU化するのが容易となる。したがって、本発明のIVC機構を採用することにより、C言語による仕様から、並列実行可能な複数の専用回路を備えたシステムLSIを設計および製造する期間を大幅に短縮でき、低コストで提供することができる。

## 【 0 0 5 9 】

図17は、データを送信するPU-Aと、データを受信するPU-Bの間の状態情報伝達とそれを構成する信号線を示している。上記の例では、図17(a)に示すように、読取状態信号 $\phi$ busyと、書込状態信号 $\phi$ putの各々の専用の信号線に情報を持たせている。このため、図17(b)に示すように、それらの状態信号に対応する読取状態提示専用信号線75と、書込状態提示専用信号線76が、データを転送する信号線77に加えて必要になる。

## 【 0 0 6 0 】

これに対し、状態情報の伝達に、受信データRAM15Xを専用信号線に代わって使用する方法がある。上記の専用信号線を用いた方法では、アセンブラによるレジスタ操作を介してC言語のレベルから操作する必要があるのに対し、受信データRAM15Xを使用すると、データに意味を持たせるので、すべてC言語のレベルからデータ操作により転送処理を行うことができる。

## 【 0 0 6 1 】

図18(a)に、送信側のPU-Aの転送手順をC言語のレベルで記述した例を示し、図18(b)は、受信側のPU-Bの転送手順をC言語のレベルで記述した例を示してある。PU-Aのプログラム71では、ステップ71aでコンフィグレーション・レジスタ13Rに送信スタートアドレスを指定すると共に、ステップ71gで、自己の受信RAM15Xのアドレスで、受信側、すなわち、送信先の読取状態信号 $\phi$ busyが格納されるアドレスを指定する。送信先のPU-Bが受信RAM15Xを読み出している状態のときは、送信元の受信RAM15Xの読取状態信号 $\phi$ busyが格納されるアドレスにフラグが立つ。したがって、転送相手の受信RAMにデータを書込むための送信を開始する際は、まず、ステップ71hで、自己の受信RAM15Xの読取状態信号 $\phi$ busyが格納さ

れるアドレスのデータを参照して送信先の状態をチェックする。ついで、ステップ 7 1 i で、送信先の受信 RAM 1 5 X の受信スタートアドレスにフラグを立てて書き込みを開始したことを伝達する。すなわち、本例では、受信スタートアドレスのデータが書き込み状態信号  $\phi p u t$  が格納されるアドレスとなっている。その後、ステップ 7 1 j で書き込むためのデータを送出し、ステップ 7 1 k で送信先の受信スタートアドレスにフラグをクリアするデータを送出し、書き込みを終了する。

## 【 0 0 6 2 】

一方、PU-B のプログラム 7 2 では、ステップ 7 2 a でコンフィグレーション・レジスタ 1 4 R に受信スタートアドレスが指定されると共に、ステップ 7 2 g で、送信元の受信 RAM 1 5 X の読取状態信号  $\phi b u s y$  が格納されるアドレスが設定される。受信 RAM 1 5 X に書込まれた送信元からのデータを読み出す処理を開始する際は、まず、ステップ 7 2 h で、書き込み状態信号  $\phi p u t$  が格納される受信スタートアドレスのデータをチェックし、次に、ステップ 7 2 i で、送信元の受信 RAM 1 5 X の読取状態信号  $\phi b u s y$  が格納されるアドレスにデータを送ってフラグを立てる。その後、ステップ 7 2 j で転送されたデータを読取、ステップ 7 2 k で、送信元の受信 RAM 1 5 X の読取状態信号  $\phi b u s y$  が格納されるアドレスにデータを送ってフラグを解除する。

## 【 0 0 6 3 】

この方式では、双方の VUPU 1 0 の受信用データ RAM 1 5 X に情報を持たせることが前提となる。しかしながら、VUPU 1 0 の間で通信が行われるので、特に制約にはなることではない。一方、自己の受信用データ RAM 1 5 X に、相手方の状態が書き込まれているので、C 言語レベルのデータを読み込む処理で相手側が読出状態、あるいは書き込み状態の終了を確認できる。

## 【 0 0 6 4 】

図 1 9 は、この方式でデータを送信する PU-A と、データを受信する PU-B の間の状態情報伝達とそれを構成する信号線を示している。本例の方式では、図 1 9 ( a ) に示した読取状態信号  $\phi b u s y$  と書込状態信号  $\phi p u t$  の専用の信号線は不要である。したがって、図 1 9 ( b ) に示すように、データを転送す

る信号線 7 7 だけで通信チャネル 3 5 を構成することができ、データを転送するインターフェイスのみで手順の構築が可能となる。しかしながら、その手順はプログラム側にて記載せねばならず、例えば、データ転送の回数をシーケンス番号により表示し、転送漏れが無かったかどうかをプログラム側で判断する、といった操作が必要である。

## 【 0 0 6 5 】

図 2 0 に、本発明の V U P U の他の例を示してある。この V U P U 1 0 B は、図 8 に示した一般のプロセッサ 3 2 と通信する機能を備えた V U ( C O M ) を備えているものである。本発明の V U P U 1 0 は、上述した I V C 機構を V U P U 間の通信方式として採用しているものであるが、既に広く使用されているプロセッサには独自のバスプロトコルまたは通信機構を搭載している場合も多く、これら既存プロセッサと V U P U 1 0 を通信させることにより、さらにフレキシブルなデータ処理システム 3 0 を構築できることは上述した通りである。すなわち、I V C 機構により複数の V U P U を用いた分散処理システムを構築したとしても、その中でひとつは既存のプロセッサを使用したいというケースも多い。このような場合にでも本発明にかかる V U P U は有効である。

## 【 0 0 6 6 】

図 2 0 に示した V U P U 1 0 B の V U ( C O M ) 1 B は、通信ユニット 1 2 と他の C P U 3 2 のバスとのインターフェイスを受け持つバスブリッジ機能 2 6 と、通信時のバッファとなるデュアルポートデータ R A M 2 5 とを備えている。また、V U P U 1 0 B においては、P U 側と V U 側との間でレジスタ転送による V U P U インターフェイスがサポートされているので、P U 2 から V U 1 B へのデータ転送は V U P U インターフェイスを利用できる。したがって、デュアルポートデータ R A M 2 5 を他の C P U 3 2 への送信データ R A M として用いることにより、P U 2 の側から送信を行うことができる。受信は C P U 3 2 のシステムバスと通信ユニット 1 2 に受信インターフェイス 1 4 をバスブリッジすることにより受信専用データ R A M 1 5 X へ書込むことができる。

## 【 0 0 6 7 】

この通信用の V U ( C O M ) 1 B を設けることにより、V U P U 1 0 B では、

上述した I V C 機能では、送信側は相手側の V U P U の受信 R A M にデータを書き込むようになっているのに対し、自身の送信データ R A M 2 5 にデータを書き込むことになり、実体のある送信データ R A M を有するシステムとなる。したがって、I V C 機能の多くのメリットのうち、データ R A M の利用効率を向上できるメリットは得られない。しかしながら、既存の C P U と本発明による複数の V U P U 1 0 による分散システム 3 0 を構築することが可能となり、これらのタイプの異なるプロセッサが共存し、並列に各々の処理を実行可能となるメリットは大きい。

## 【 0 0 6 8 】

上記では、本発明にかかる V U P U 1 0 の通信ユニット 1 2 が P U T 型の場合を例に説明しているが、受信 R A M 1 5 X の代わりに送信 R A M 1 5 Y を設けた G E T 型であっても上記と同様の I V C 機能を実現できる。図 2 1 に G E T 型の通信ユニット 1 2 を備えた V U P U 1 0 を P U 2 を中心に示してある。

## 【 0 0 6 9 】

G E T 型の場合は、V U P U 1 0 に送信専用のデータ R A M 1 5 Y が設けられており、この送信専用のデータ R A M 1 5 Y が通信相手の他の V U P U 1 0 においては受信専用のデータ R A M となる。通信ユニット 1 2 も、送信インターフェイス 1 3 と受信インターフェイス 1 4 とを備えており、各々の制御部 1 3 C および 1 4 C は、送受信の条件が設定されるコンフィグレーション・レジスタ 1 3 R および 1 4 R を備えている。したがって、基本的な構成および動作は上記で説明した P U T 型とほぼ同じである。

## 【 0 0 7 0 】

G E T 型の通信ユニット 1 2 の調停回路 1 3 A は、送信専用のデータ R A M 1 5 Y にデータを書き込む際に、書込み状態信号  $\phi b u s y$  を書込み状態にして、自分の I D で他の V U P U 1 0 に送出して書き込み状態であることを通知する。一方、送信データ R A M 1 5 Y からのデータの読出しは、通信先の各 V U P U 1 0 からのリクエスト信号あるいは読出し状態信号  $\phi g e t$  による。調停回路 1 3 A を有する送信制御部 1 3 C は、リクエスト信号  $\phi g e t$  が受け入れられ読出可能な状態となると、受信先の V U P U 1 0 の I D を加えた書込み状態信号  $\phi b u$

s y を読出し可能な状態にして送出し、通信相手の V U P U 1 0 へ読出可能状態であることを通知する。これにより、通信相手の V U P U 1 0 の受信インターフェイス 1 4 では、アドレスを送出し、データを読み出す。したがって、P U 2 が通信先からデータを読み取る場合には、リクエスト信号  $\phi$  g e t により自分自身へのビジー信号  $\phi$  b u s y (もちろん、レディ信号  $\phi$  r e a d y であっても良い)を確認して、受信インターフェイス 1 4 に示されるアドレスに応じたデータが受信制御部 1 4 C により制御されるセクタ 1 6 を通じて P U 2 に供給される。

## 【 0 0 7 1 】

送信専用のデータ R A M 1 5 Y も上述した受信専用のデータ R A M 1 5 X と同様にデュアルポートデータ R A M により構成することが可能である。この場合には送信しながら書込操作が可能となり、並列性が向上する。しかしながら、調停機能を設けない場合は、読出しと書込みのアドレスが同一の場合を考慮して、入力データ D I を出力データ D O にバイパスする論理回路が必要となる。

## 【 0 0 7 2 】

図 2 2 に、G E T 型の I V C 機構を実現する通信ユニット 1 2 の動作をフローチャートで纏めてある。実際に通信を開始する前に、送信用のコンフィグレーション・レジスタ 1 3 R に、送信先の V U P U の I D、送信 R A M 1 5 Y の開始アドレス、受信するデータの開始アドレス（実体のない受信 R A M に割り当てられたアドレス）などを設定し、受信用のコンフィグレーション・レジスタ 1 4 R に、受信元となる V U P U の I D、送信 R A M の開始アドレス、受信されるデータの開始アドレス、などを設定する処理が行われる。これらのコンフィグレーション・レジスタ 1 3 R および 1 4 R の設定は、C 言語のレベルであればインライン・アセンブル記述により設定できる。また、この処理をファンクションとしてサブルーチン化しておくことができる。

## 【 0 0 7 3 】

そして、プログラムにしたがって入出力アドレスが出力されると、通信ユニット 1 2 においては、まず、ステップ 8 1 でデータの入出力アドレスを判断する。入出力データが通常のデータ R A M に割り当てられたアドレスでないときは、ス

ステップ 8 2 で、アドレスに基づき出力処理か入力処理かを判断する。出力の場合は、ステップ 8 3 で送信 RAM 1 5 Y が読出し中でないこと、すなわち、読出し状態信号（リクエスト信号） $\phi get$  の読出し終了を待ち、ステップ 8 4 で自己の送信 RAM 1 5 Y にデータを書き込む。それと同時に書込み状態信号  $\phi busy$  を書込みにして読出しを禁止し、書込みが終了すると状態信号  $\phi busy$  を終了状態にする。

## 【 0 0 7 4 】

一方、ステップ 8 2 で入力の場合は、リクエスト信号  $\phi get$  を送出し、ステップ 8 5 で状態信号  $\phi busy$  が書込み終了になるのを待ち、ステップ 8 6 でデータを通信先の VUPU 1 0 から受領する。そして、読出しが終了すると、リクエスト信号  $\phi get$  を終了状態にする。このように、GET 型においても、入出力のアドレスによりデータを受信先の VUPU 1 0 のデータ RAM 1 5 Y から取得する制御方法を採用することにより、C レベルの記述でデータの入出力アドレスを管理あるいは制御することだけで複数の VUPU 1 0 の間でデータを簡単に交換することができる。そして、このような処理を通信ユニット 1 2 のファームウェアやゲートロジックで行っても良く、あるいは C 言語のレベルで記述することも可能である。

## 【 0 0 7 5 】

上述した PUT 型の通信方法と GET 型の通信方法は、どちらも C 言語から直接データをアクセスできる点では同じであり、自己の VUPU のデータ RAM にアクセスするのと同じ操作で他の VUPU のデータ RAM にデータを書込・読出することによりデータ交換を行うことができる。PUT 型の通信方法の VUPU 1 0 を採用したデータ処理システム 3 0 では、親の VUPU 1 0 p あるいは他のプロセッサが、共通のデータを複数の子の VUPU 1 0 c に転送し、子の VUPU 1 0 c は転送されたデータを頻繁にアクセスし、かつ加工し、処理を進める分散処理に適している。一方、GET 型の通信方法の VUPU 1 0 を採用したデータ処理システム 3 0 は、親の VUPU 1 0 p あるいは他のプロセッサから子の VUPU 1 0 c に供給されるデータが少量であり、さらに、子の VUPU 1 0 c がデータをそれぞれ独立に参照しながら処理を進める分散処理に適している。

## 【 0 0 7 6 】

さらに、目的に応じてPUT型とGET型を両立させたデータ処理システムを構築することも可能である。例えば、親のVUPU10pのデータを少量ずつ複数の子のVUPU10cが参照しながら各々分散処理を行い、その結果を親のVUPU10pに戻す処理が要求される場合がある。このような処理に対応したデータ処理システム30としては、GET型の通信方法で親のVUPU10pから子のVUPU10cにデータを転送し、PUT型の通信方法で子のVUPU10cから親のVUPU10pにデータを返却する方式が最もメモリ効率がよい。なぜなら、送信専用・受信専用データRAMを親のVUPU10pがひとつ持てばよいからである。また、ひとつの親のVUPU10pと複数の子のVUPU10cにより分散処理を行う構造のデータ処理システム30は、本発明にかかるVUPU10を用いた極めて基本的な構造であると考えられる。したがって、親のVUPU10pにのみ転送専用メモリを保有させて共有化を図るデータ処理システムは、本発明のVUPU10を用いた有効な分散処理の基本構造であるといえる。

## 【 0 0 7 7 】

図23に、送信専用のデータRAM15Yと受信専用のデータRAM15Xを有するVUPU10pの構成例を示してある。このVUPU10pにおいては、通信ユニット12の送信インターフェイス13は上述したGET型の構成であり、送信専用のデータRAM15Yを制御し、子のVUPU10cのそれぞれからのリクエスト信号 $\phi_{get}$ に基づいてデータ転送を行う。受信インターフェイス14は、PUT型の構成であり、子のVUPU10cのそれぞれからの書込要求信号 $\phi_{put}$ に基づいてデータの書込を行う。

## 【 0 0 7 8 】

図23に示したVUPU10pの構成は、子のVUPUcの通信ユニット12が、出力アドレスが予め設定されたアドレスのときに親のVUPU10pにデータを送信する送信インターフェイスと、入力アドレスが予め設定されたアドレスのときに親のVUPU10pからデータを受信する受信インターフェイス手段とを備えている第1のPUT・GET型に対応したものである。したがって、IV

C機構を構成するメモリ15Xおよび15Yがマスタである親のVUPU10pに集中する。このため、メモリのスペース効率の高いシステムとなる。

【0079】

図24に、送信専用のデータRAM15Yと受信専用のデータRAM15Xを有しないVUPU10pの構成例を示してある。また、このVUPU10pとそれに対応したVUPU10cとにより構成されたシステムの概要を図25に示してある。このVUPU10pの通信ユニット12の送信ユニット13は、出力アドレスが予め設定されたアドレスのときに子のVUPU10cへデータを送信し、受信ユニット14は、入力アドレスが予め設定されたアドレスのときに子のVUPU10cからデータを受信する。したがって、上述した第2のPUT・GET型のシステムであり、転送するデータを入出力する送信RAM15Yおよび受信RAM15Xが子のVUPU10cに分散するのでメモリを多数必要とする。しかしながら、各子供のVUPU10cでは独自に分散処理を進めることができるので、処理の独立性が高まる。さらに、本例では、送信インターフェイス13の送信制御部13Cを受信インターフェイス14の制御部としても兼用することにより、1つの送受信制御部により通信ユニット12を制御する簡易な構成となっている。

【0080】

なお、以上では、通常のデータRAM15N、受信専用のデータRAM15Xおよび送信専用のデータRAM15Yがそれぞれ独立している構成を例に説明しているが、同一のデータRAMの領域を割り振ることで対応することも可能である。しかしながら、受信専用および送信専用のデータRAMはデュアルポートRAMあるいは多ポートRAMを採用することによるメリットがあり、通信容量が小さくて良いデータ処理システムにおいては、受信専用あるいは送信専用のデータRAMを独立して設けることが望ましい。

【0081】

【発明の効果】

以上に説明したように、本発明においては、専用データ処理ユニット(VU)と汎用データ処理ユニット(PU)とを有するデータ処理装置(VUPU)にお



いて、PUに通信機能を持たせることにより、複数のVU、すなわち専用回路を並列に実行できるデータ処理システムを極めて短期間に、そして低コストで開発することができる。システムLSIとして与えられた仕様全体をハードウェア化する作業は膨大であり時間と経費の点から現在ではほとんど経済的に見合わないものとなっている。これに対し、本発明のVUPUは、システムLSIとして与えられた仕様の内、ハードウェア化するのに適した機能を適当な単位で抽出し、シミュレーションによって高速化などの効果が確認された機能だけをVUとしてハードウェア化することができる。したがって、ハードウェア化される範囲は限られたものとなり、容易に設計および開発でき、また費用も最小限で済む。その一方で、ハードウェア化したことによる効果は最大限にすることが可能である。それに加えて、ハードウェア化したVUを並列に実行することができるので、処理を複数のVUに分散することが可能となり、処理効率が高く処理速度の速く、さらに経済的なデータ処理システムを提供することが可能となる。

#### 【0082】

さらに、本発明のVUPUは、繰り返し計算の多い処理などを機能単位で抽出してVUとして実現し高速処理を可能とすると共に、他の処理は汎用プロセッサであるPUで処理することによって、ハードウェア化に伴うコストアップや設計期間の長期化を抑制し、さらに、仕様変更や、開発のあらゆる段階の変更にも柔軟に対処できるというメリットも備えている。そして、プログラムレベルで制御できるPUに通信機能を設けることにより、プログラムレベルで並列処理の制御を行うことが可能となり、極めて柔軟な制御が可能となる。その結果、高級言語で記述された仕様に基づくシステムLSIを極めて短い期間で設計および開発できる。

#### 【0083】

このようなVUPUを用いてデータ処理システムを構築することにより、ひとつのC言語などの高級言語で記述されたプロセスを分割して複数の処理プロセスにし、これらプロセス間のデータの転送と処理依頼、それに基づく処理結果の返却を設計するにはデータ転送に関してC言語あるいはJ A V A（登録商標）言語などの高級言語との親和性が高く、かつハードウェアを意識しないでデータ転送

の設計が進められる方式が不可欠となる。上述した本発明によれば、アドレスによって、通信先のVUPUの受信専用のデータRAMにデータを送信し、あるいは通信先のVUPUの送信専用のデータRAMからデータを取得することができる。このため、VUPU間の通信を、メモリへのアクセスと同じ方法にてC言語などから直接に行うことができ、極めて自由にデータ送受を行うことができる。このため、複数のC言語により記述されたプロセスが並列に動作するように設計することが極めて容易となる。

## 【 0 0 8 4 】

このように、C言語あるいはその他の高級言語との連動性および対応性のあるデータ通信機構をハードウェア側に設けることにより、極めて容易に、高級言語のレベルでデータ転送が記述できる。その結果、高級言語により記述されたプロセスを複数に分割が容易となり、分散処理システムの設計が可能となる。したがって、本発明で開示した通信機構は、上述した複数のVUPUを用いた処理速度の速いデータ処理システムを構築するのに好適なものである。

## 【図面の簡単な説明】

## 【図 1】

本発明に係るPUおよびVUを備えたデータ処理装置（VUPU）の概要を示す図である。

## 【図 2】

C言語により記述されたプロセスを複数に分解する様子を示す図である。

## 【図 3】

本発明のデータ処理装置により分散処理するデータ処理システムを構築する例を示す図である。

## 【図 4】

図 3 に示したデータ処理システムの各VUPUの実行状態を例示する図である。

## 【図 5】

C言語で記述したプログラムが分散処理用に分解される様子を示す図である。

## 【図 6】

本発明のデータ処理装置により分散処理するデータ処理システムの異なる例を示す図である。

【図 7】

本発明のデータ処理装置により分散処理するデータ処理システムのさらに異なる例を示す図である。

【図 8】

本発明のデータ処理装置により分散処理するデータ処理システムのさらに異なる例を示す図である。

【図 9】

C 言語で記述された機能を VUPU 化する過程の概要を示す図である。

【図 10】

本発明の通信機能を有する VUPU の概略構成を PU の構成を中心に示す図である。

【図 11】

2 つの VUPU で交信する際のメモリの使用状況を示す図である。

【図 12】

親の VUPU と複数の子の VUPU で交信するデータ処理システムの概要を示す図である。

【図 13】

図 12 に示すデータ処理システムの各 PU のメモリマップを示す図である。

【図 14】

通信ユニットの処理の概要を示すフローチャートである。

【図 15】

受信 RAM にデータを入出力するタイミングを示す図である。

【図 16】

通信ユニットの処理を C 言語により制御するプログラム例を示す図である。

【図 17】

調停を行うための状態信号とそれに対応する信号線を示す図である。

【図 18】

状態信号を受信 R A M に書き込む通信方式の処理を C 言語により制御するプログラム例を示す図である。

【図 1 9】

状態信号を受信 R A M に書き込む通信方式における状態信号と信号線とを示す図である。

【図 2 0】

本発明の通信機能を有する V U P U の概略構成を P U の構成を中心に示す図であり、他の C P U との通信機能を備えた V U ( C O M ) を有する V U P U の概要を示す図である。

【図 2 1】

本発明の通信機能を有する V U P U の概略構成を P U の構成を中心に示す図であり、 G E T 型の通信機能を有する V U P U を示す図である。

【図 2 2】

図 2 1 に示す V U P U の通信ユニットの処理の概要を示すフローチャートである。

【図 2 3】

本発明の第 1 の P U T ・ G E T 型の通信機能を有する V U P U を示す図である。

【図 2 4】

本発明の第 2 の P U T ・ G E T 型の通信機能を有する V U P U を示す図である。

【図 2 5】

第 2 の P U T ・ G E T 型の通信機能を備えた V U P U を親として構成されたシステムの概要を示すブロック図である。

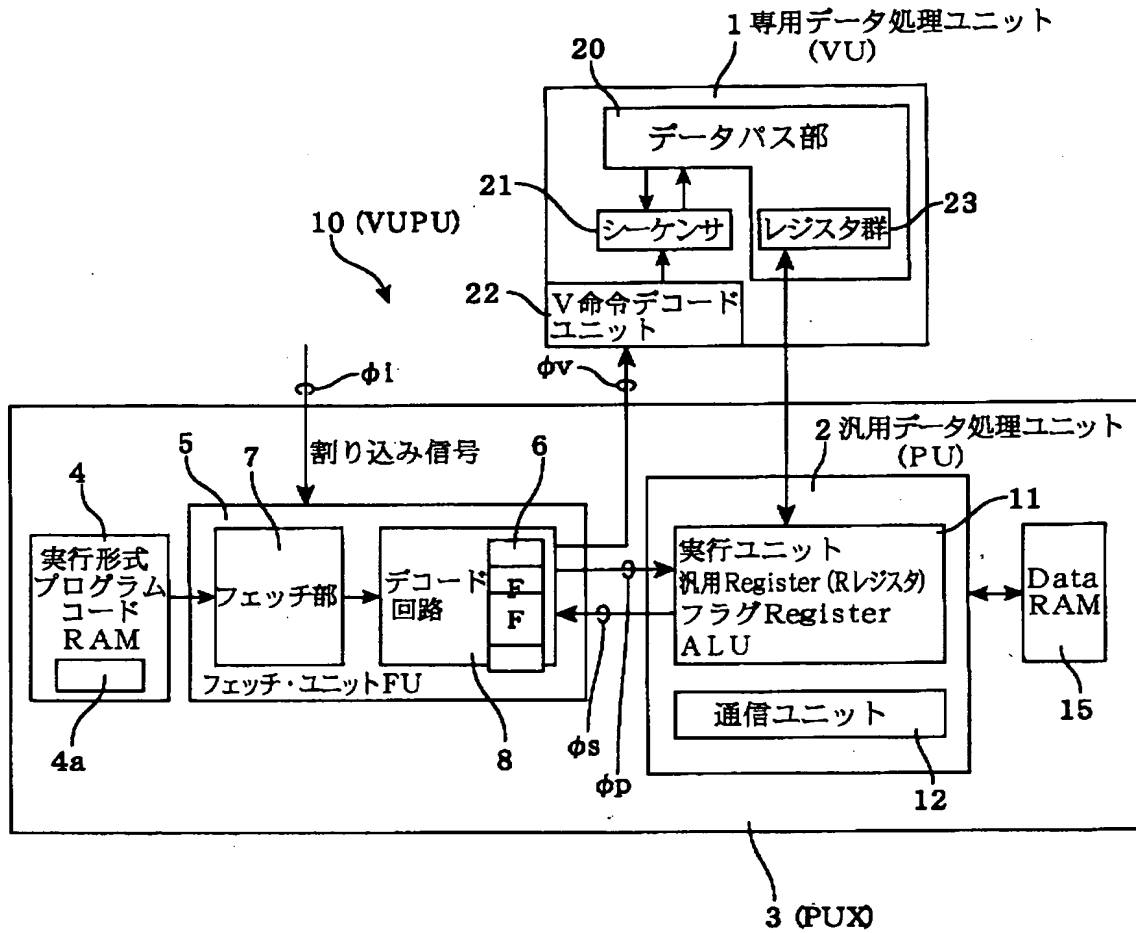
【符号の説明】

- 1 専用データ処理ユニット V U
- 2 汎用データ処理ユニット P U
- 3 汎用プロセッサ P U X
- 4 コード R A M

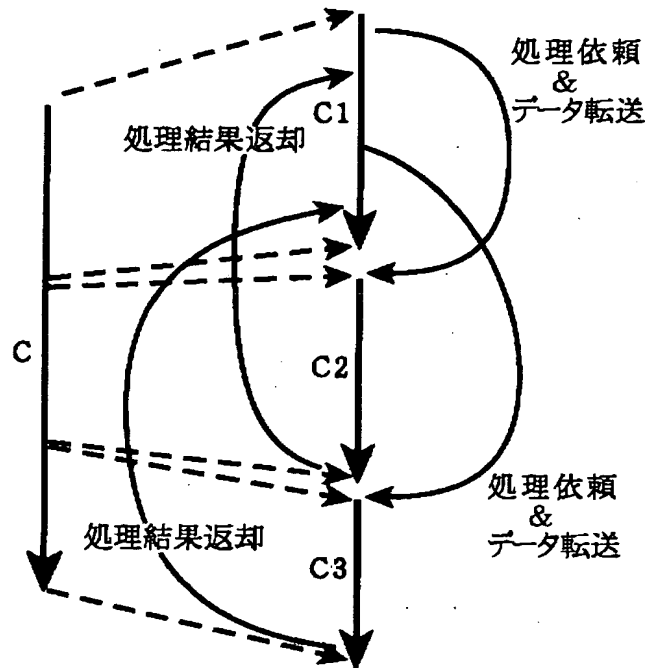
- 4 a 制御プログラム
- 5 フェッチユニットFU
- 1 0 データ処理装置 (VUPU)
- 1 1 実行ユニット
- 1 2 通信ユニット
- 1 3 送信インターフェイス、 1 4 受信インターフェイス
- 1 5 N RD/WRデータRAM
- 1 5 X 受信専用のデータRAM、 1 5 Y 送信専用のデータRAM

【書類名】 図面

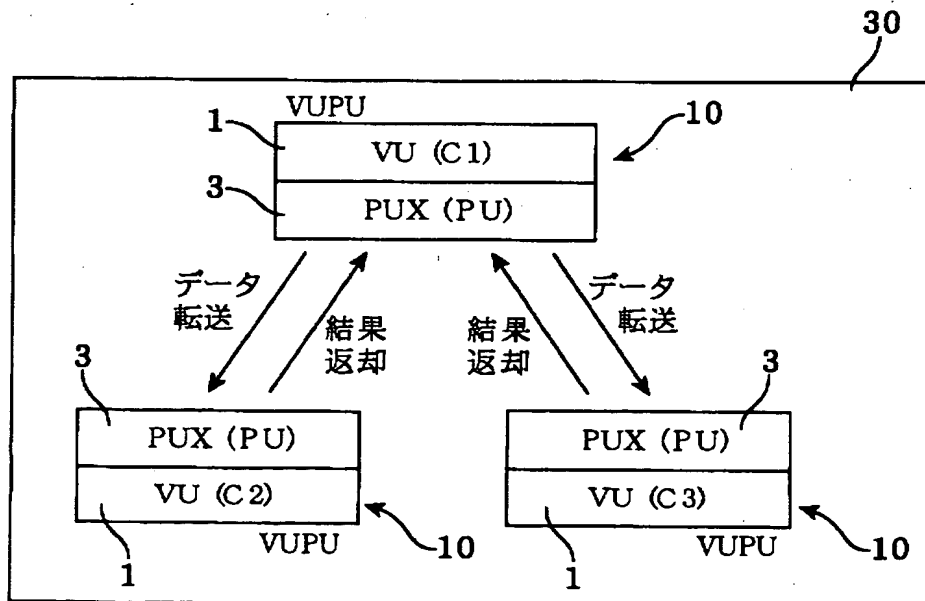
【図 1】



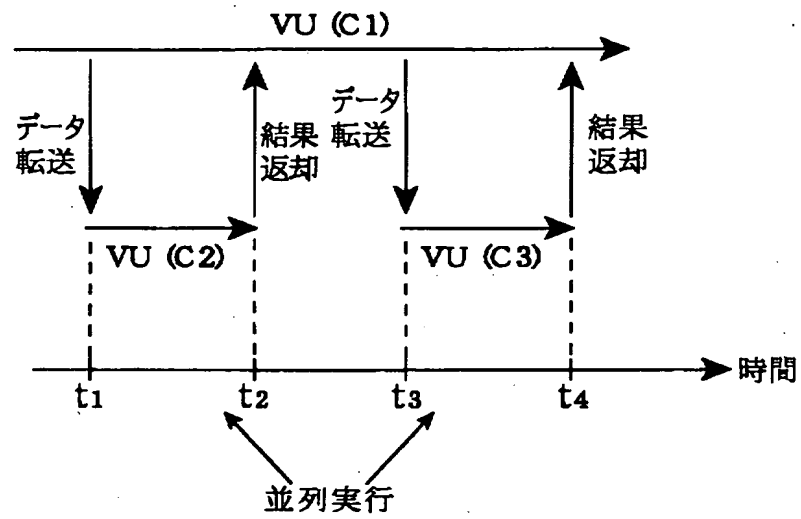
【図 2】



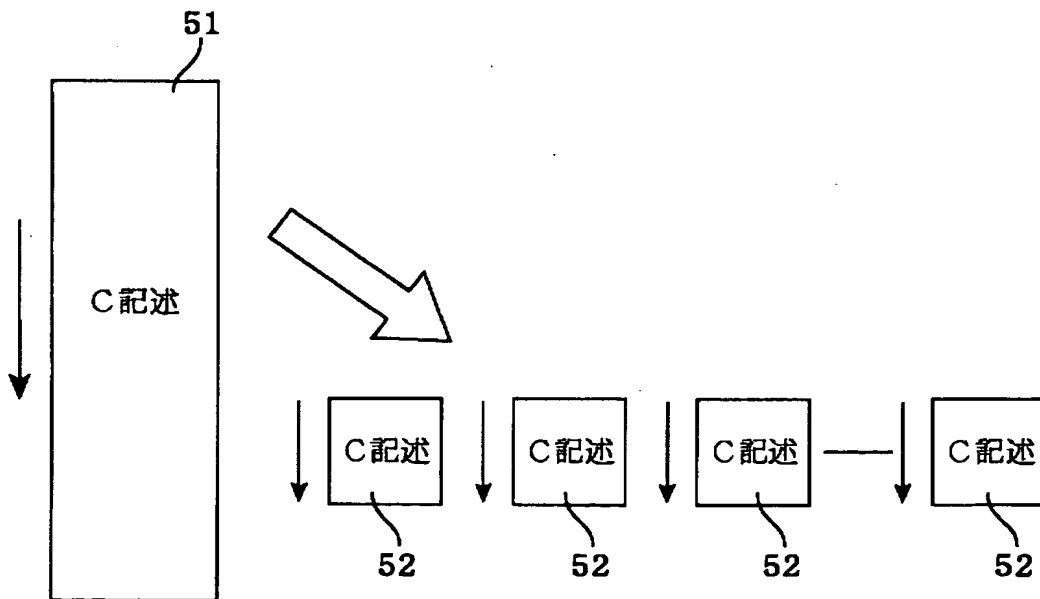
【図 3】



【図 4】

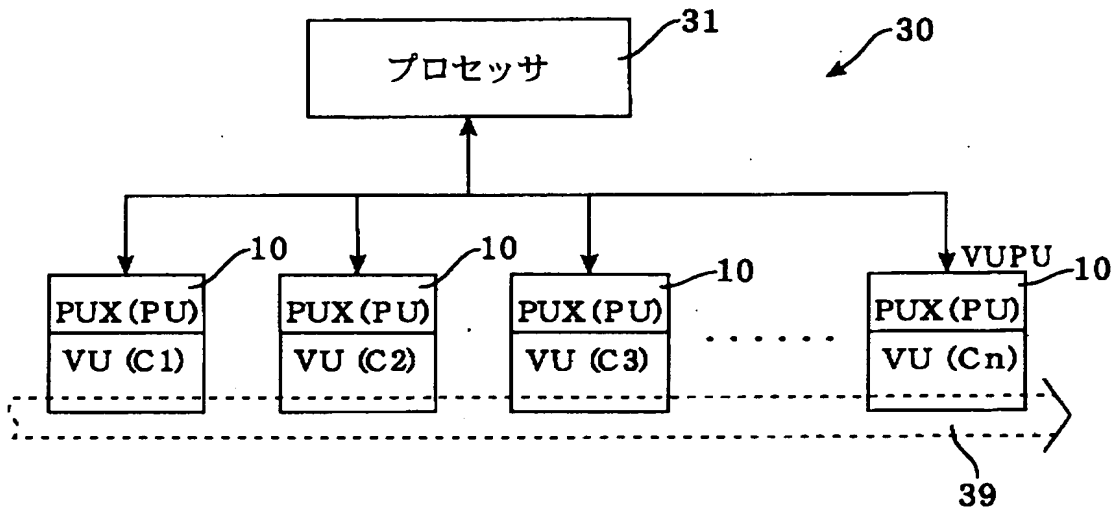


【図 5】

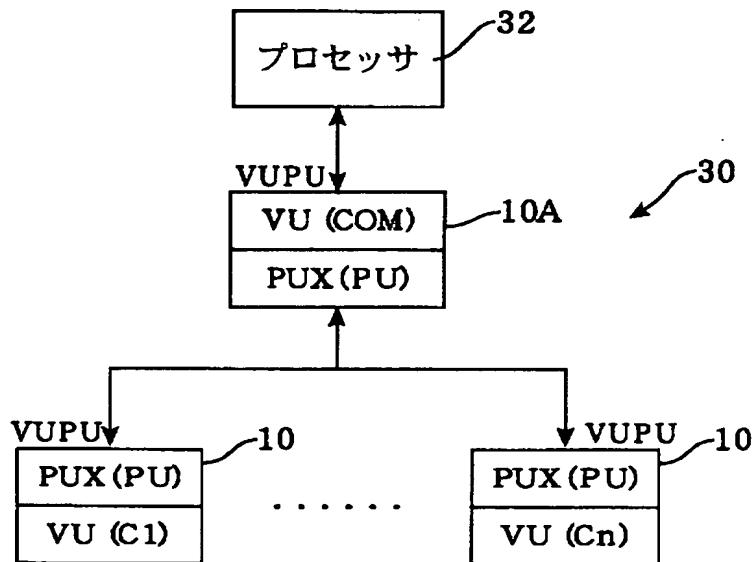




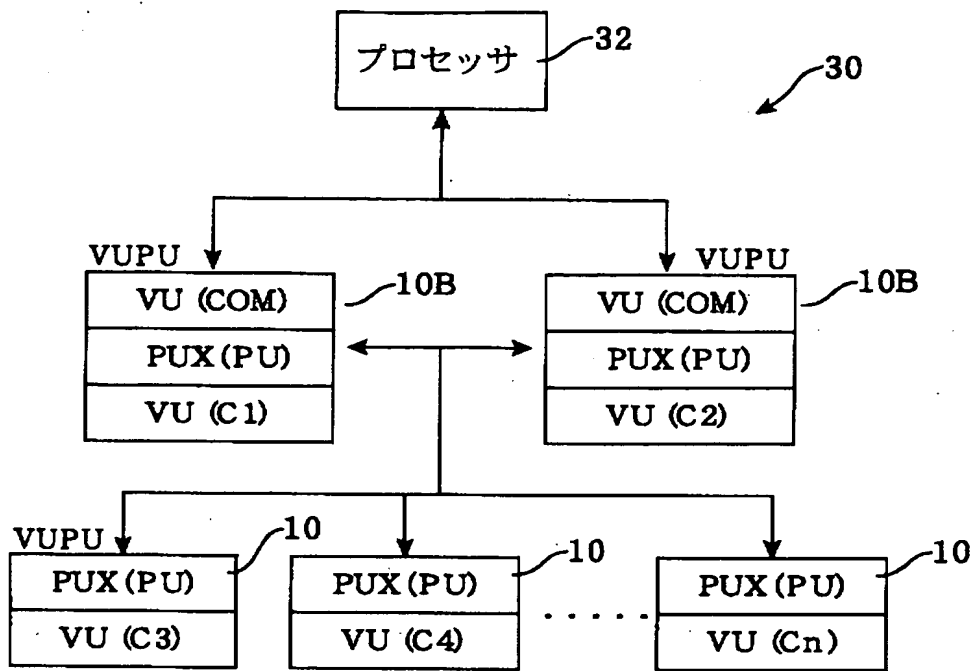
【図 6】



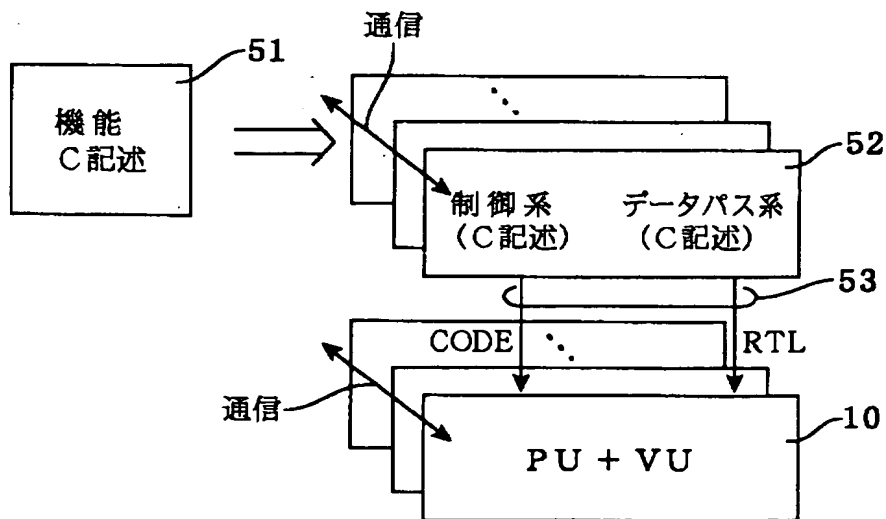
【図 7】



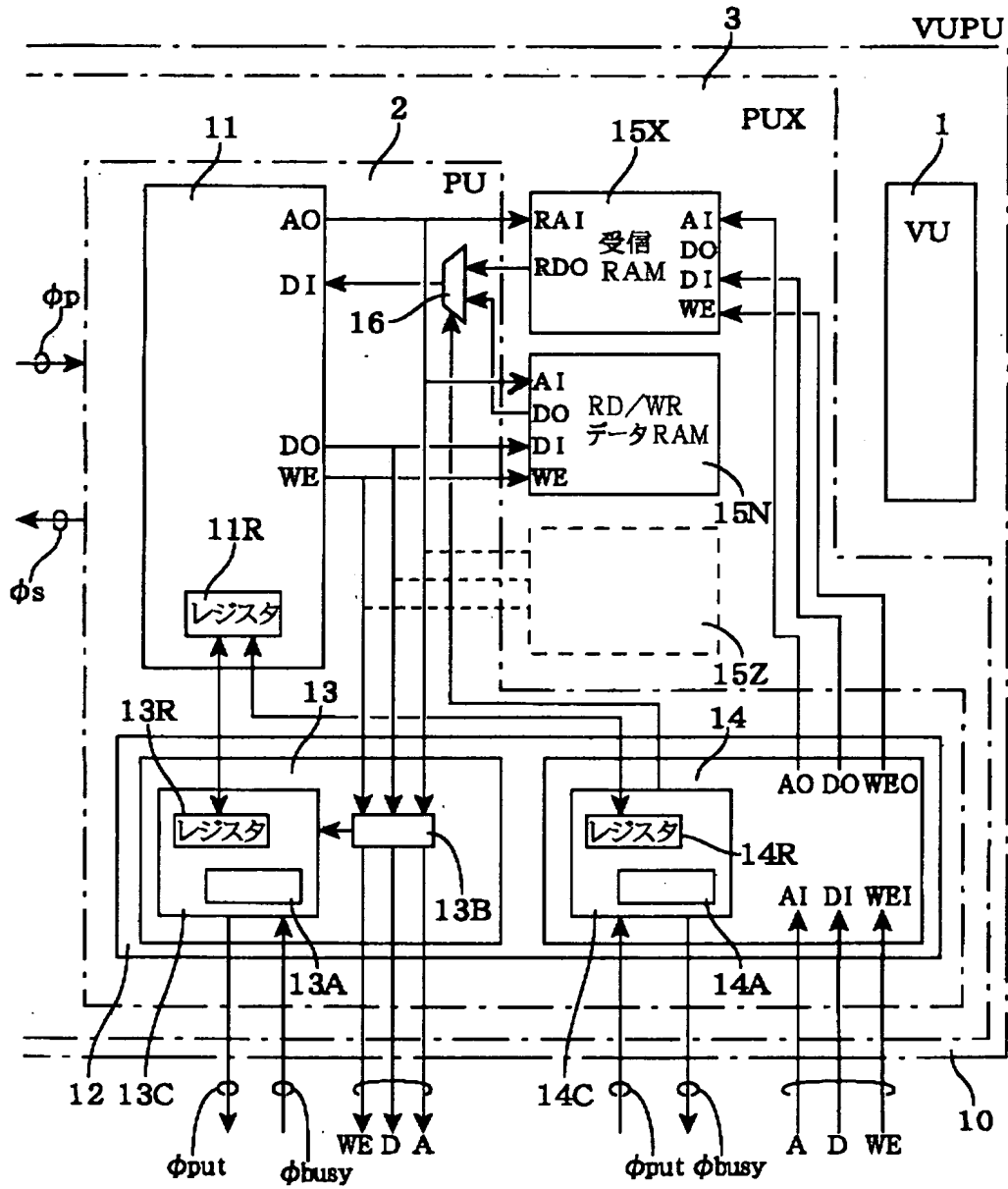
【図 8】



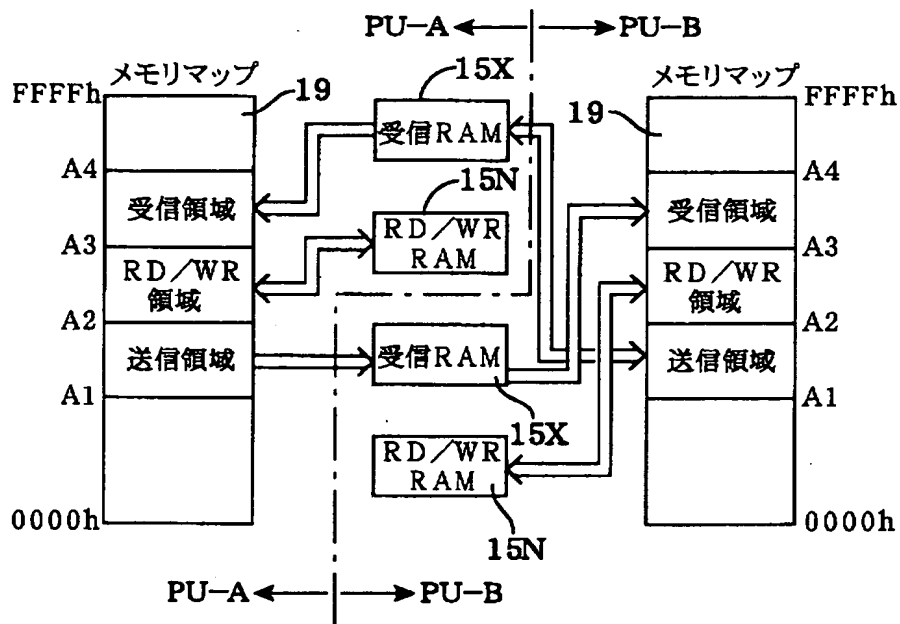
【図 9】



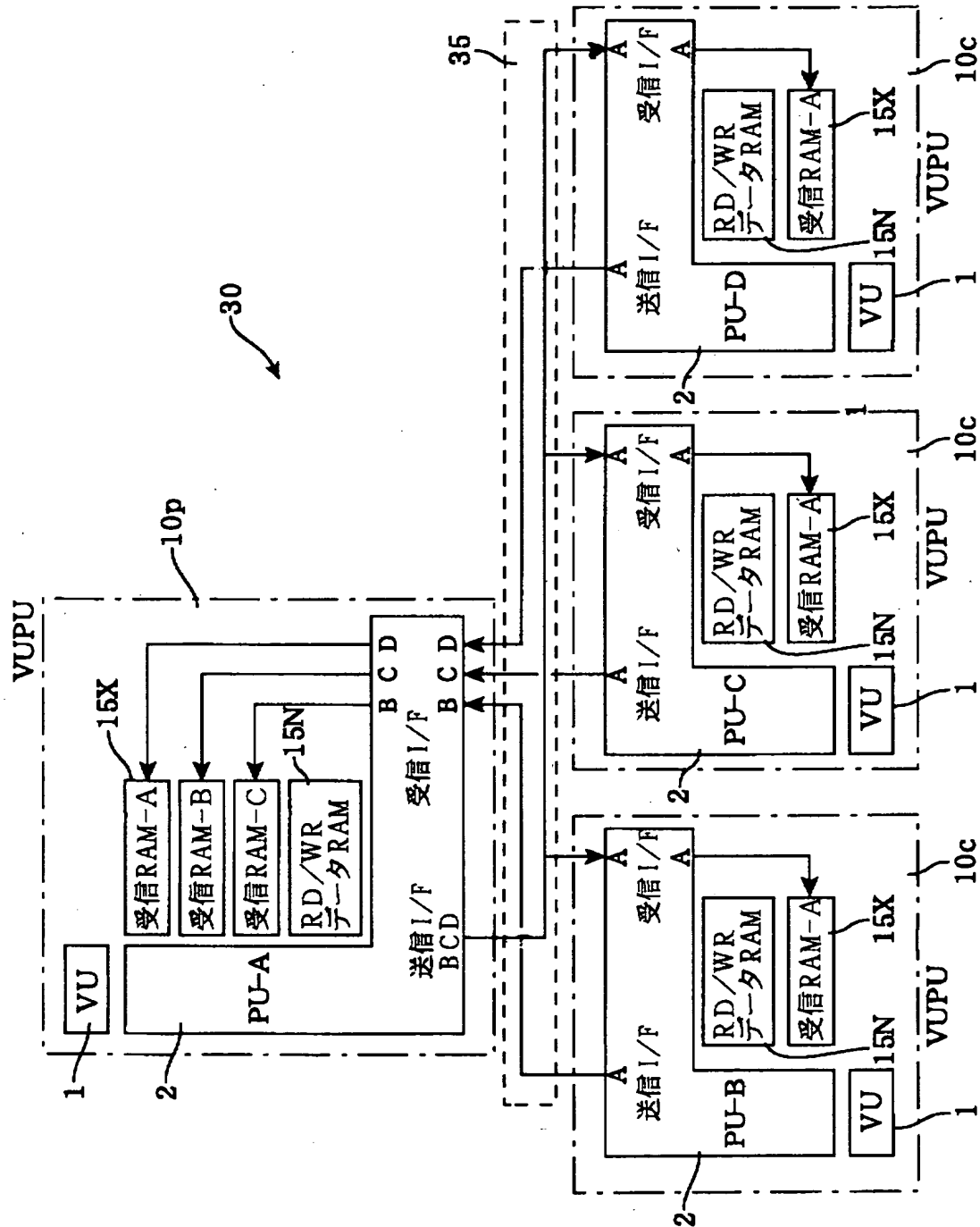
【図10】



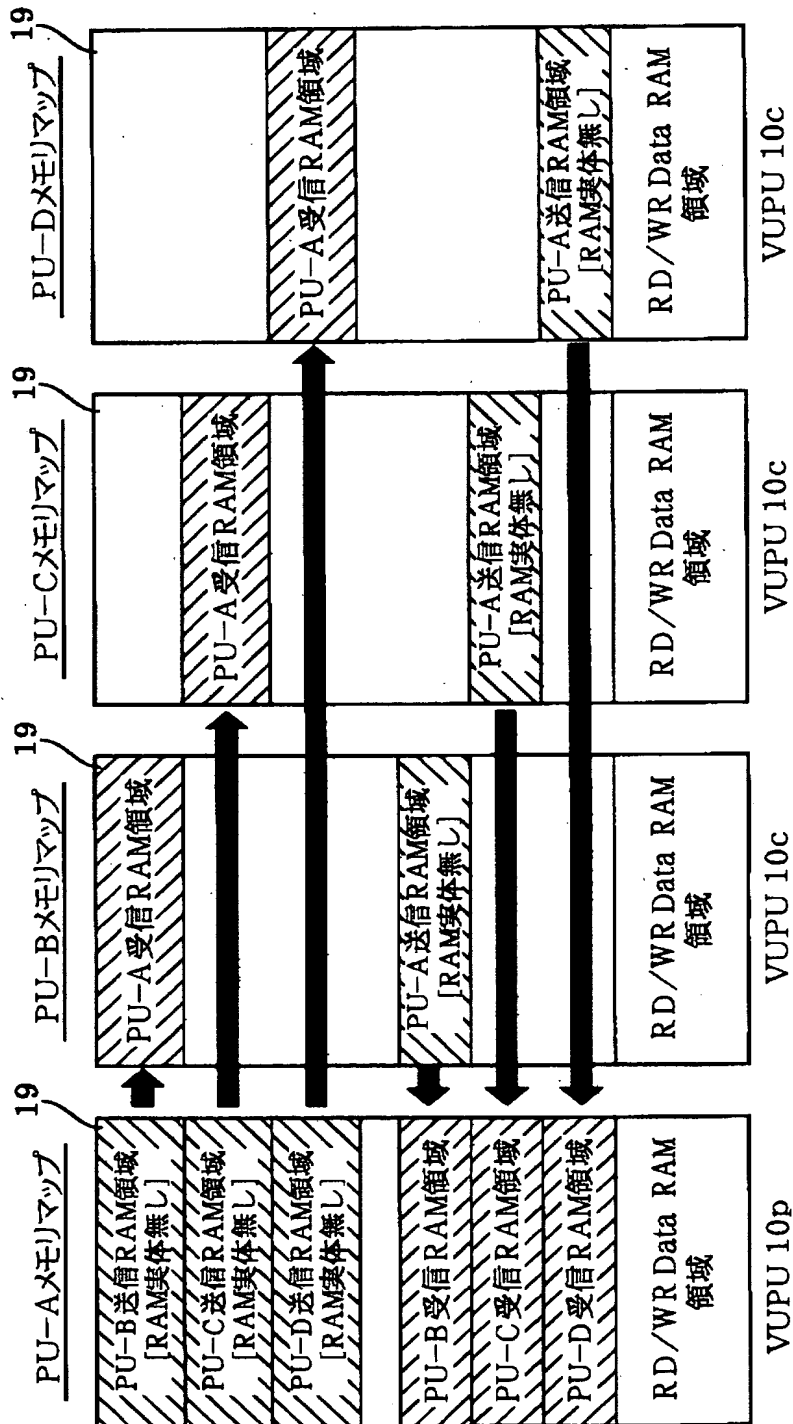
【図 1 1】



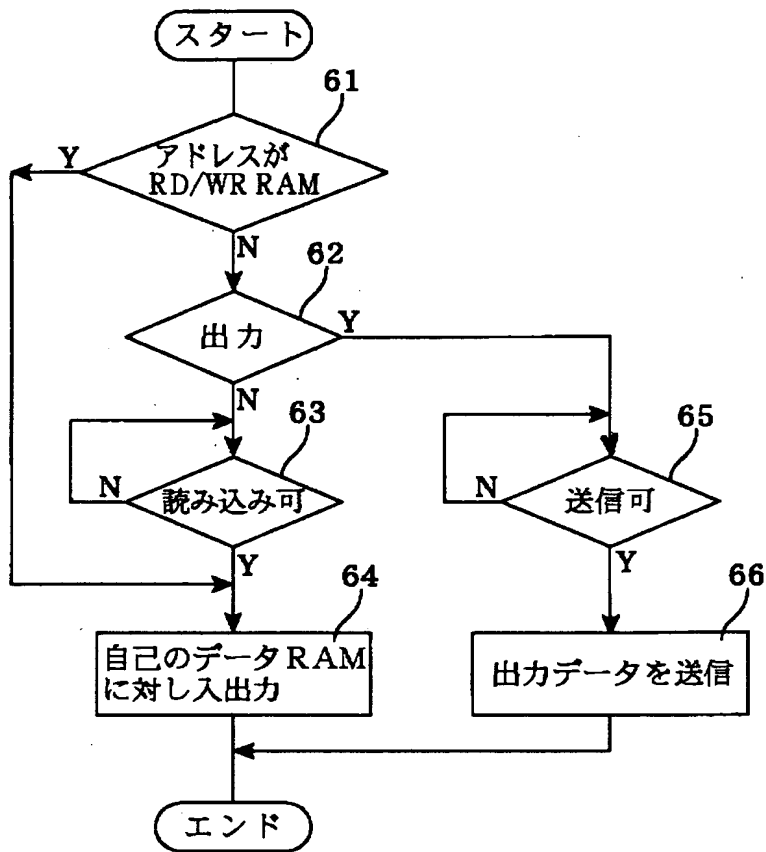
【図 12】



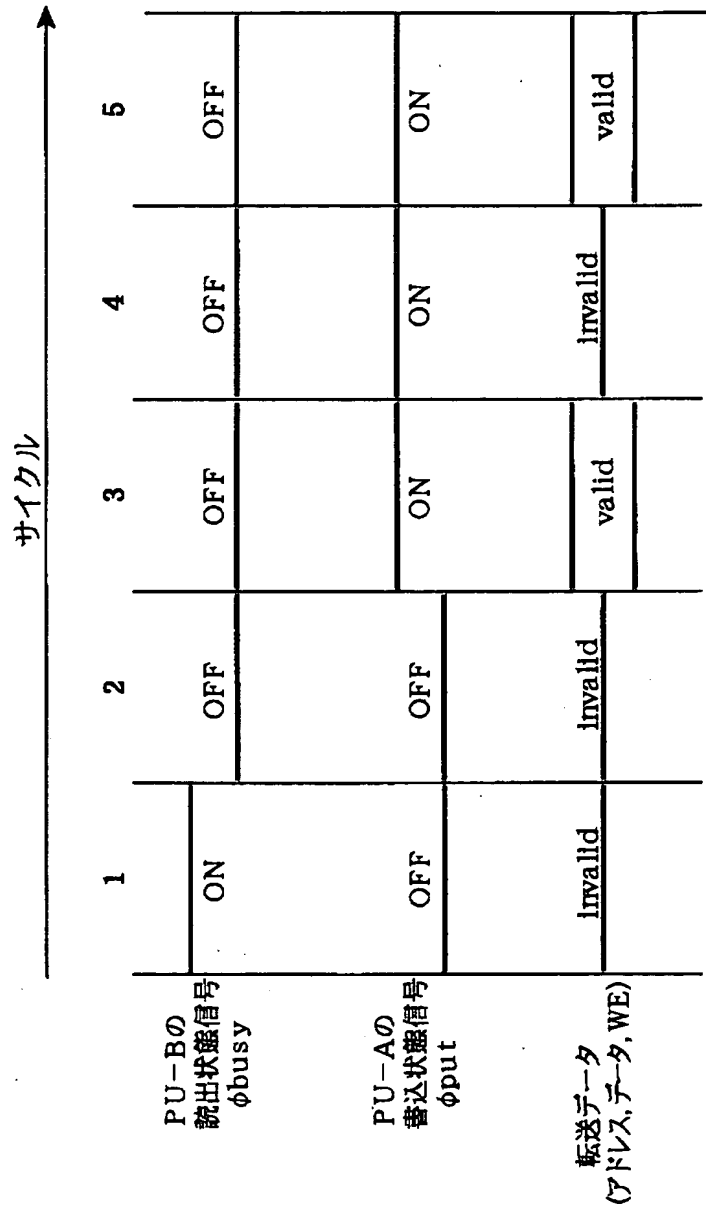
【図 13】



【図 1 4】

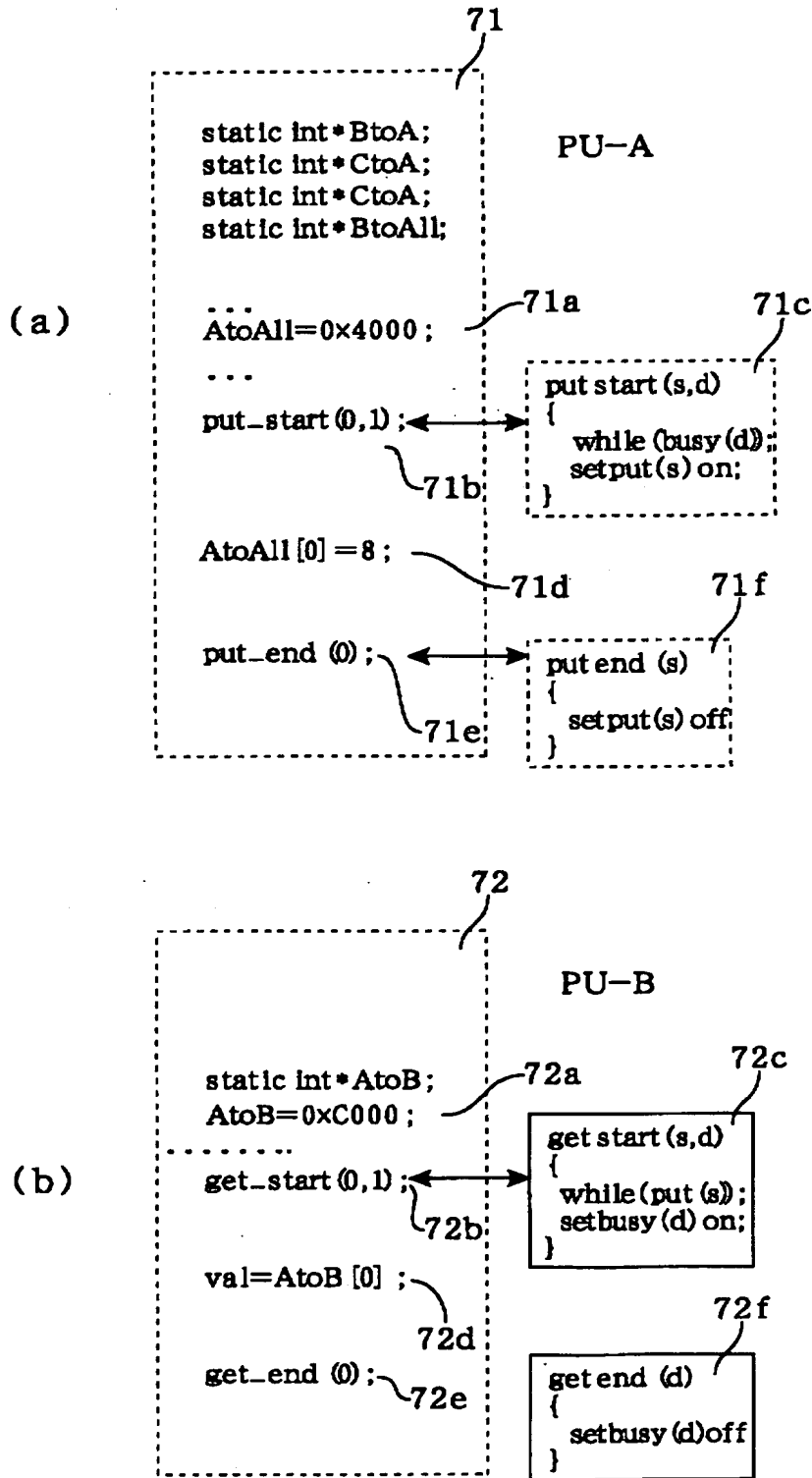


【図 1 5】

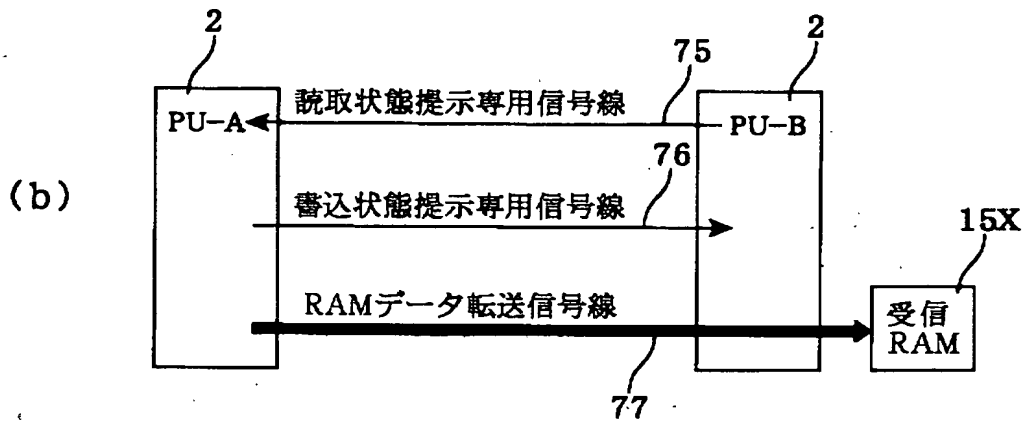
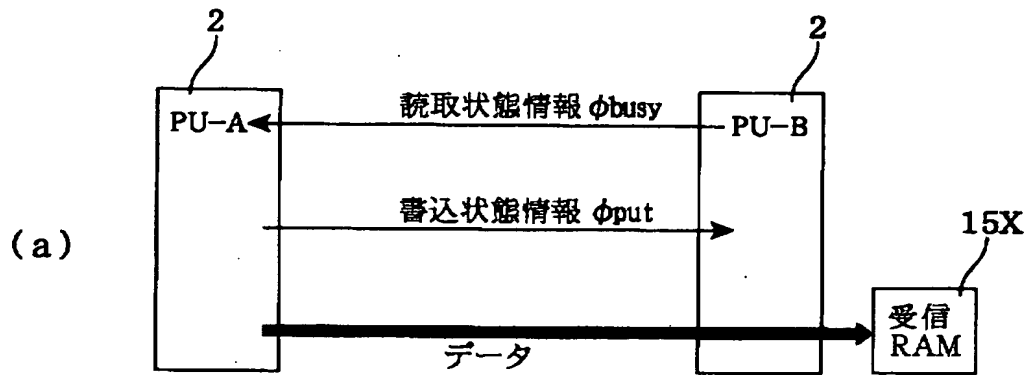




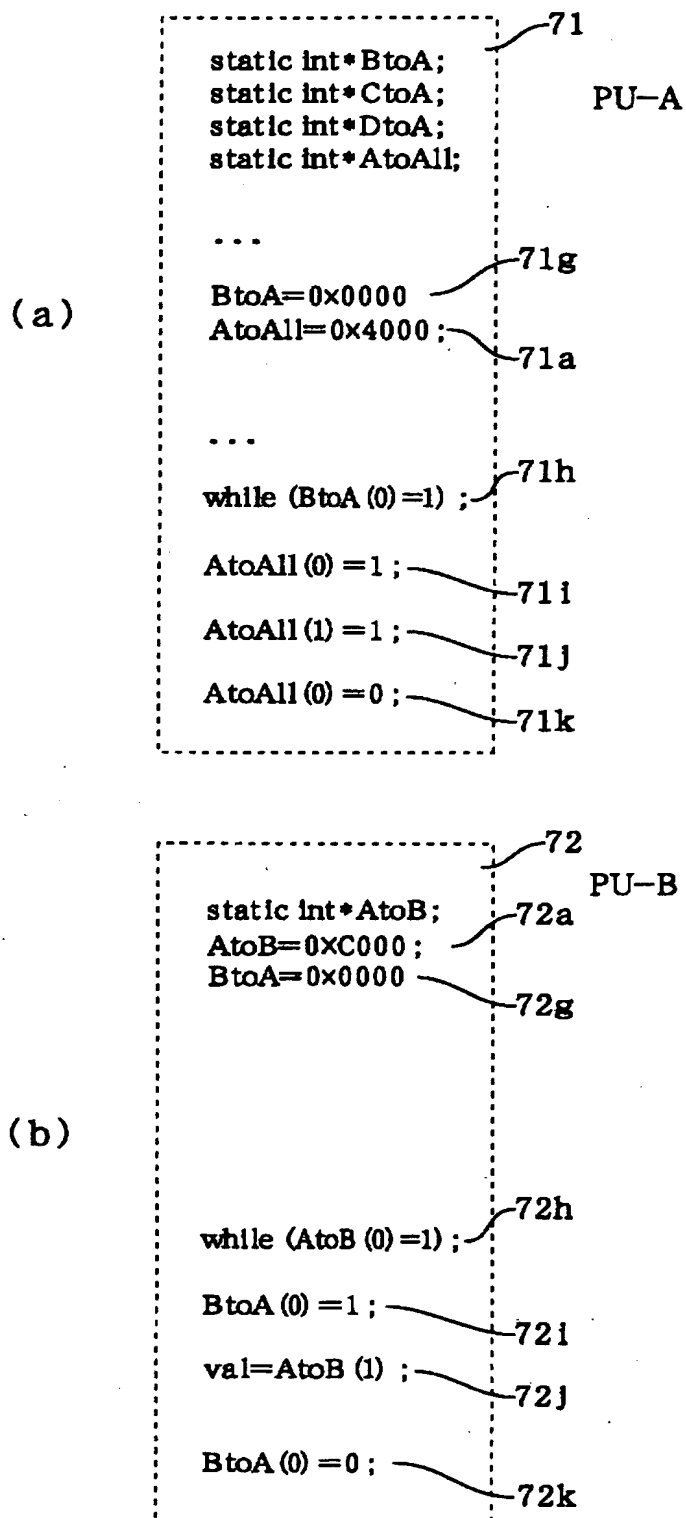
【図 16】



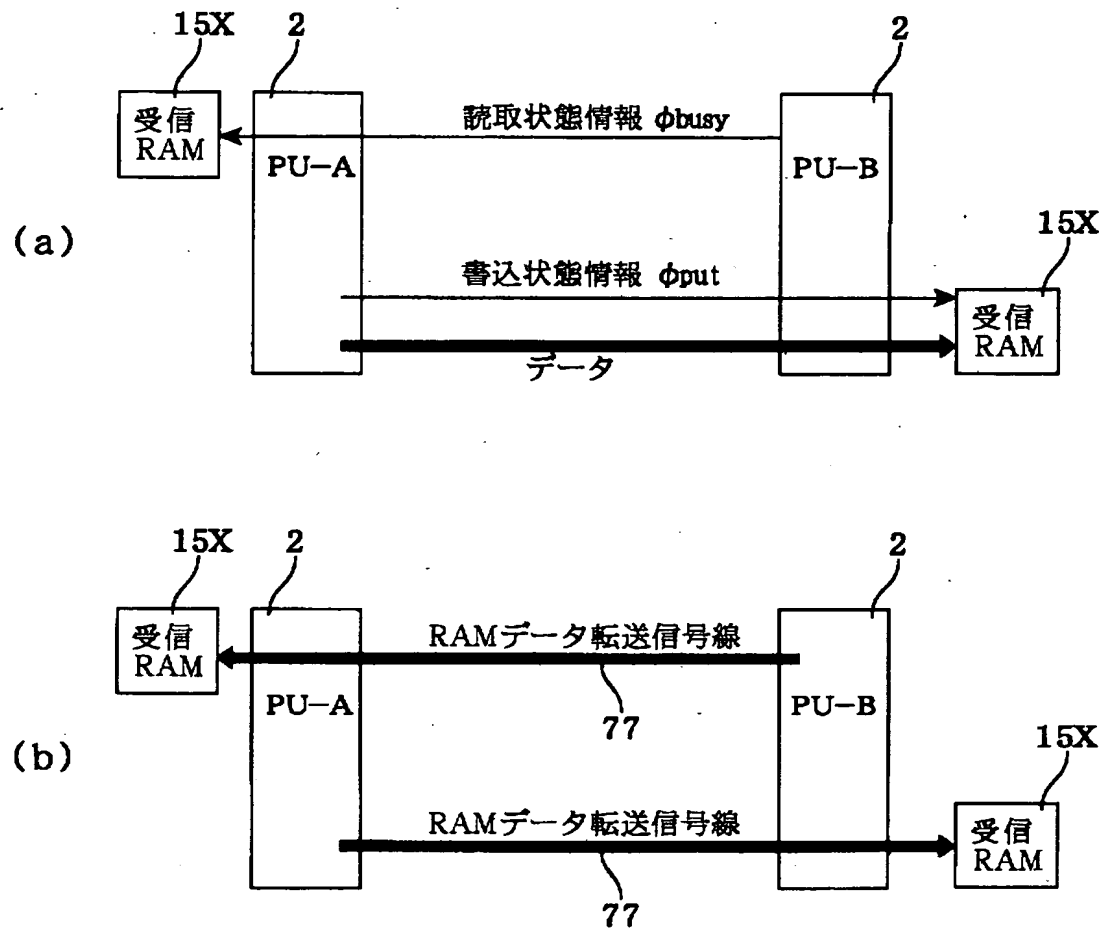
【図17】



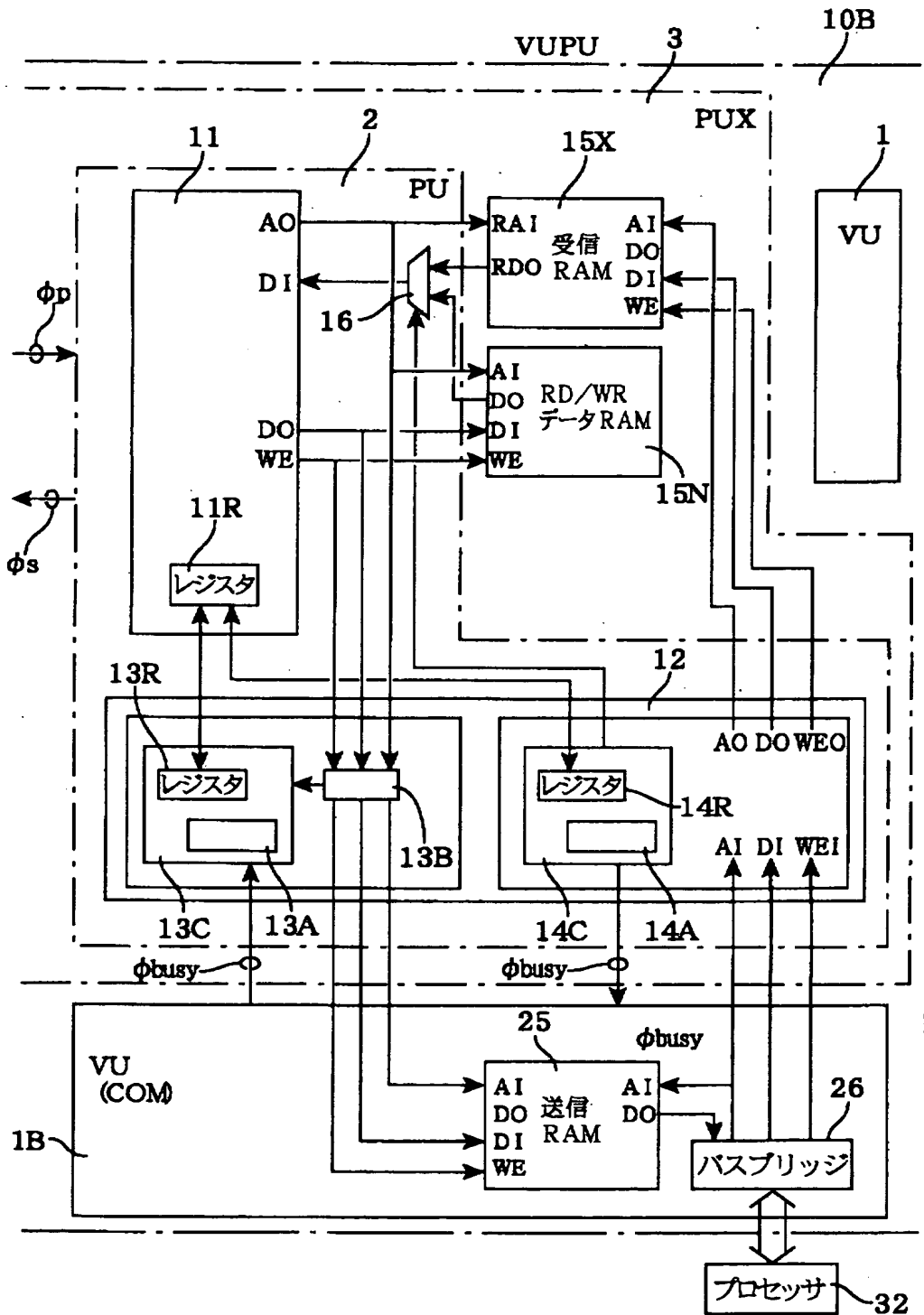
【図 18】



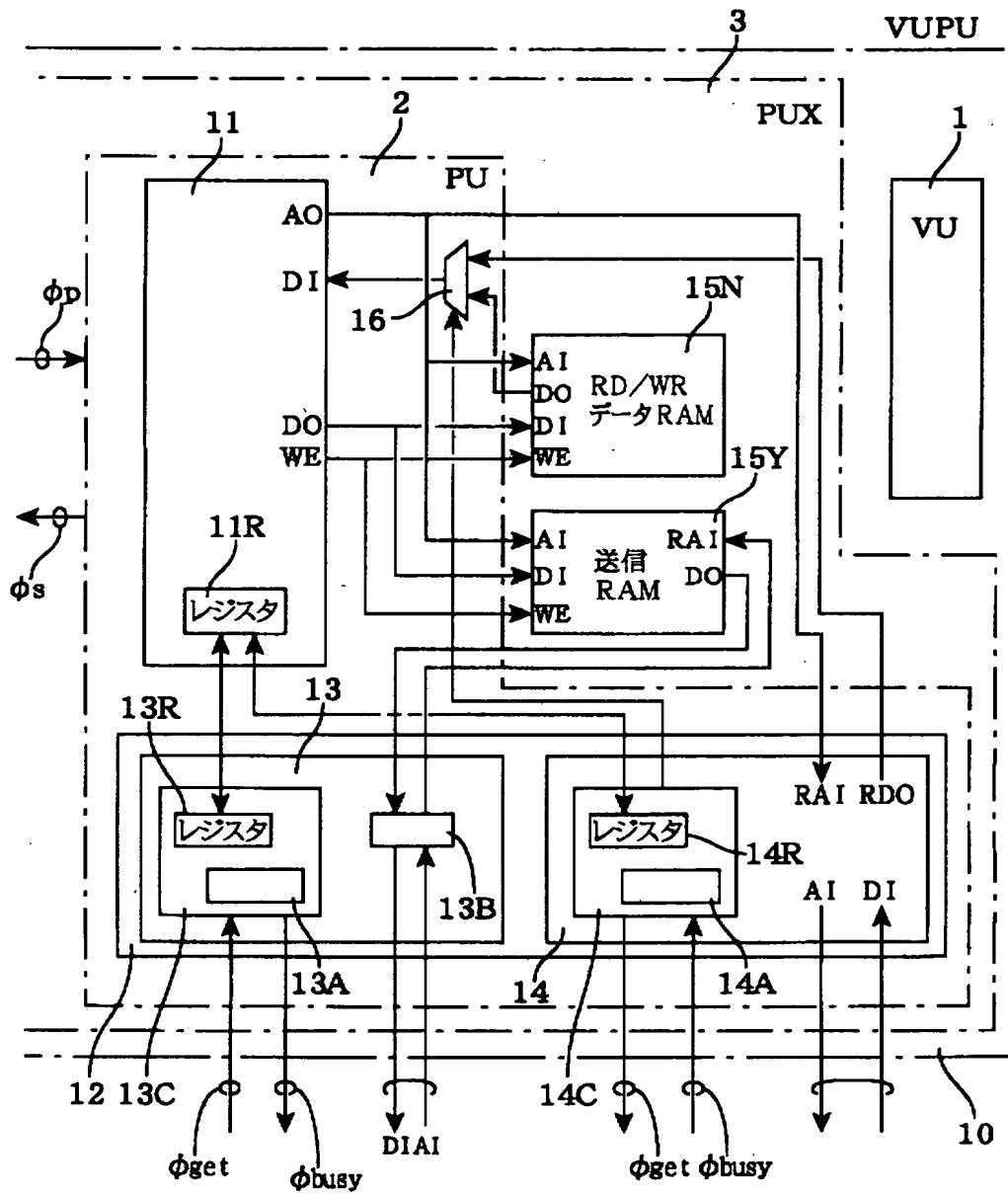
【図 1 9】



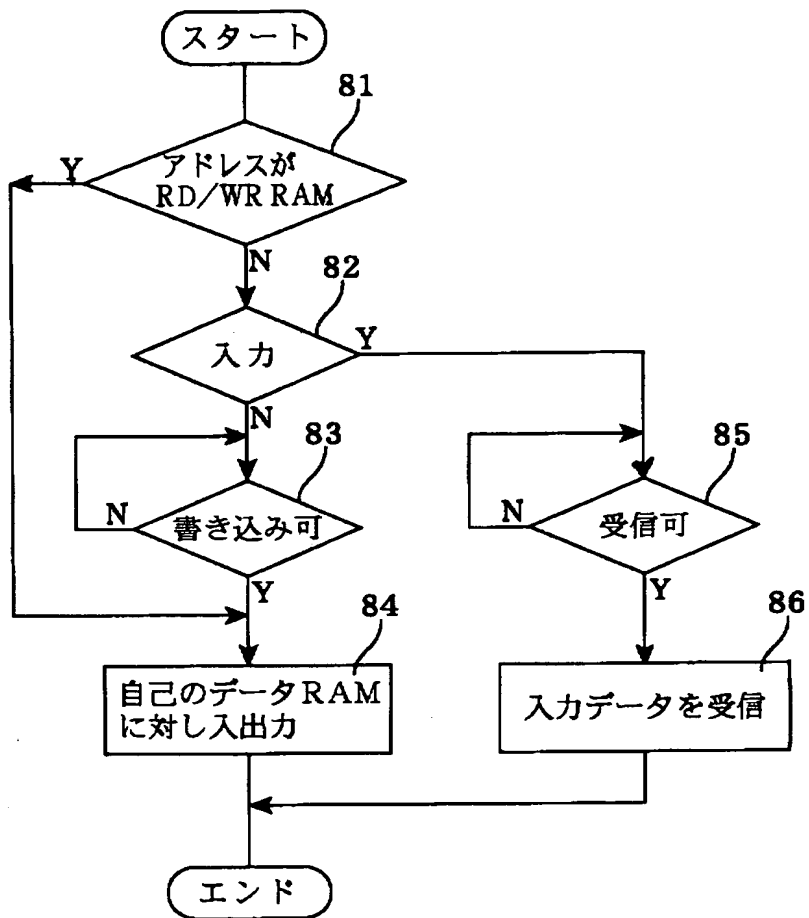
【図 20】



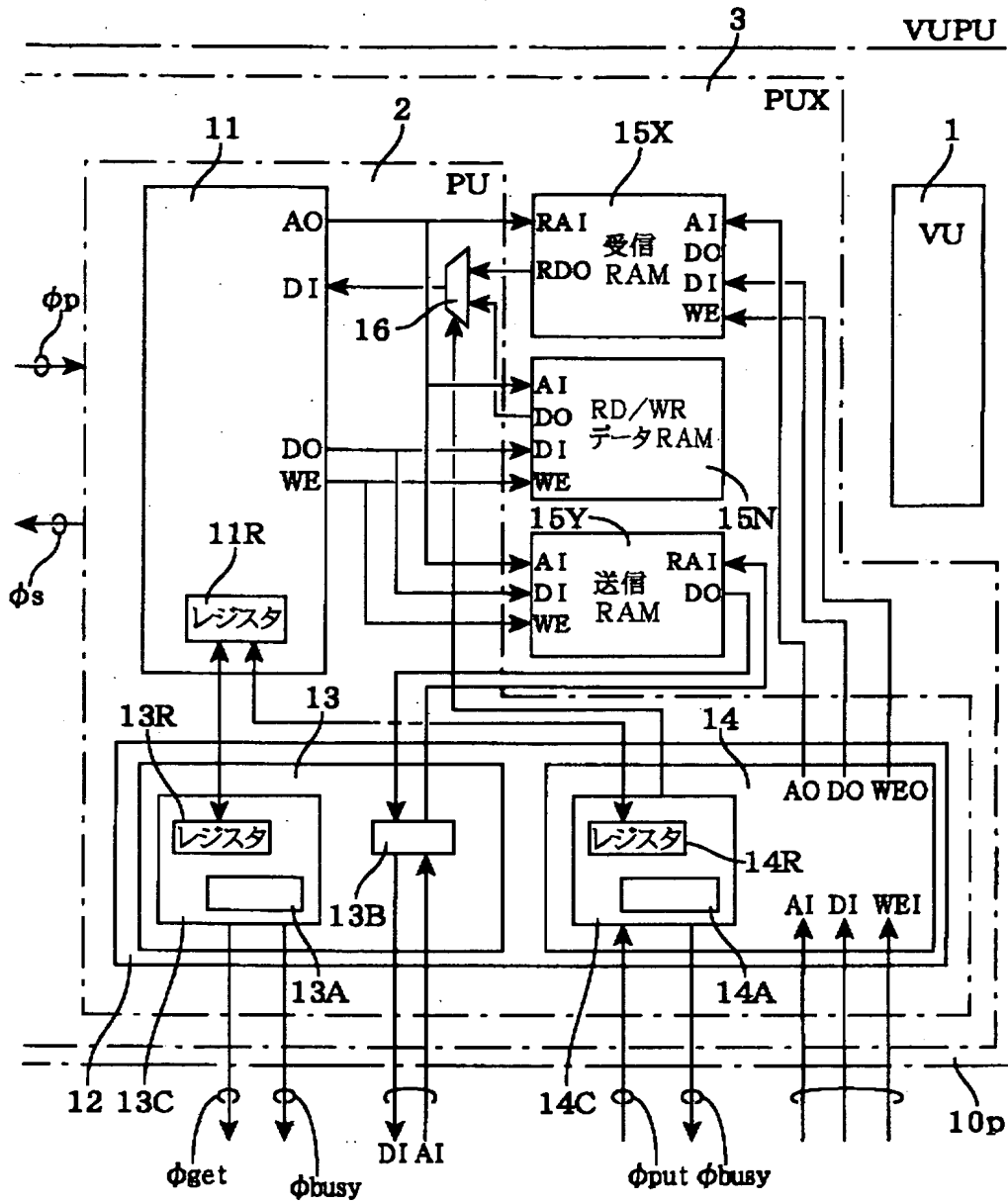
【图 2 1】



【図 2 2】

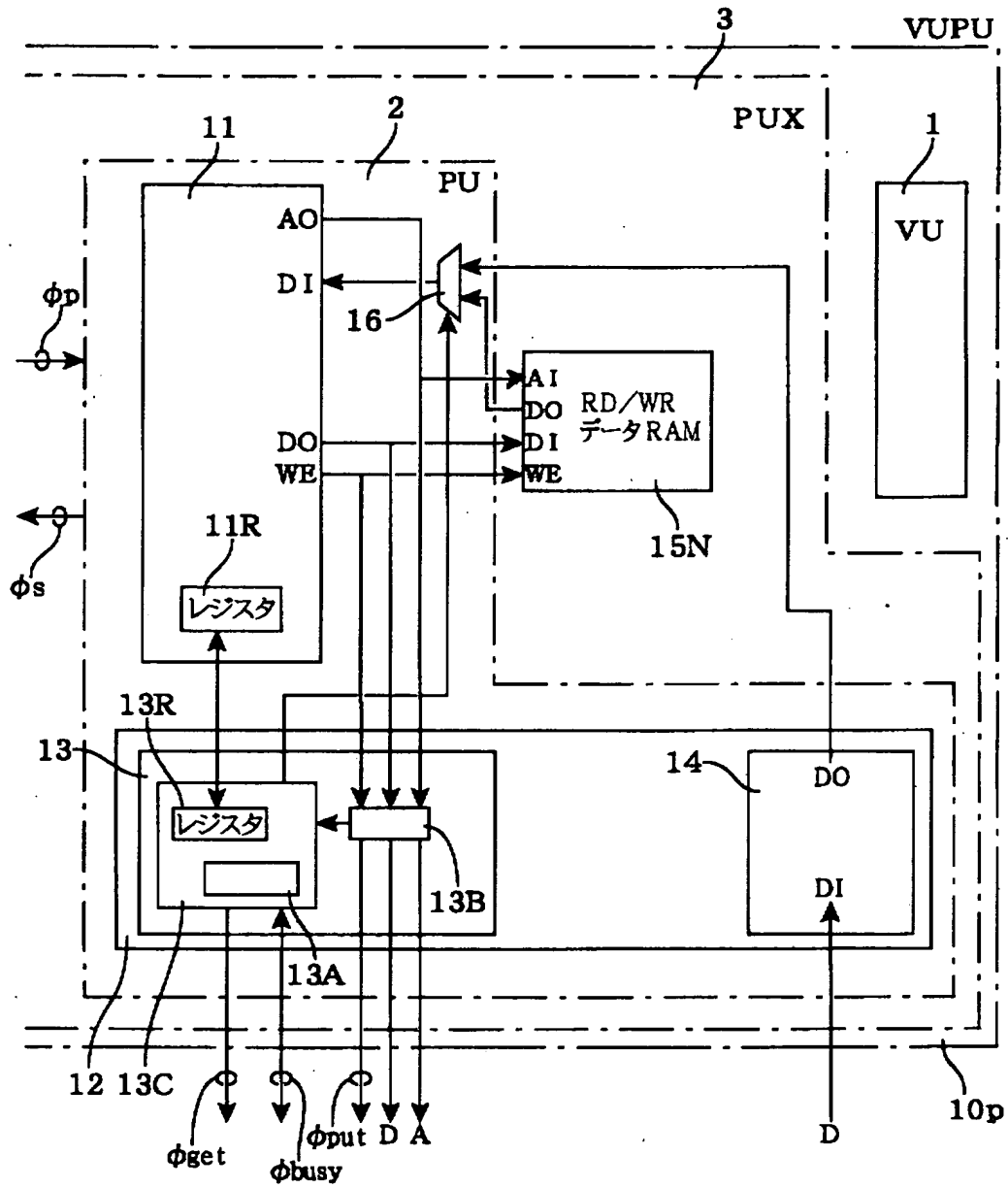


【図 23】

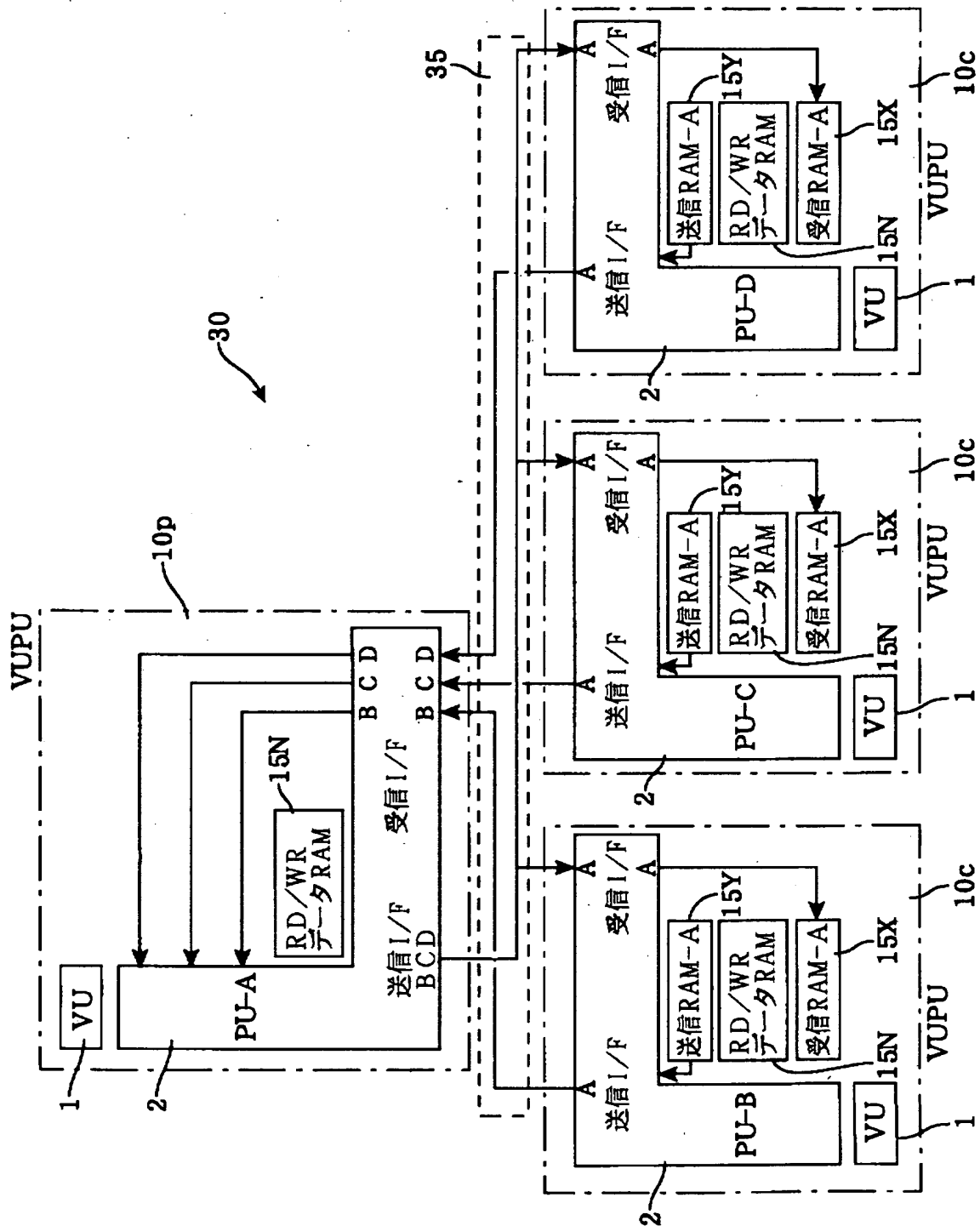




【図24】



【図 25】



【書類名】 要約書

【要約】

【課題】 C言語などの高級言語で与えられる仕様を高速で処理可能なデータ処理システムを短期間で経済的に構築可能とする。

【解決手段】 汎用処理が可能な汎用データ処理ユニットPU2と、特定のデータ処理をハードウェア化して高速で実行可能な専用データ処理ユニットVU1とを有するデータ処理装置10において、汎用データ処理ユニットPU2に通信ユニット12を設けることにより、複数の専用データ処理ユニットVU1が並列に稼動できるデータ処理システムを構築する。

【選択図】 図10

特 2 0 0 1 - 2 9 4 5 4 6

## 認定・付加情報

特許出願の番号	特願 2 0 0 1 - 2 9 4 5 4 6
受付番号	5 0 1 0 1 4 1 9 4 8 6
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 3 年 1 0 月 1 日

### < 認定情報・付加情報 >

【提出日】 平成13年 9月26日

次頁無

出 願 人 履 歴 情 報

識別番号 [598149242]

1. 変更年月日 1998年10月29日

[変更理由] 新規登録

住 所 東京都新宿区西新宿6丁目12番1号

氏 名 パシフィック・デザイン株式会社